

М. Є. Лещенко, І. К. Васильєва, О. М. Замірець, В. Є. Овчаренко

ОСНОВИ МІКРОЕЛЕКТРОНІКИ

Частина 1

2010

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний аерокосмічний університет ім. М. Є. Жуковського
"Харківський авіаційний інститут"

М. Є. Лещенко, І. К. Васильєва, О. М. Замірець, В. Є. Овчаренко

ОСНОВИ МІКРОЕЛЕКТРОНІКИ

Частина 1

Навчальний посібник до лабораторного практикуму

Харків «ХАІ» 2010

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний аерокосмічний університет ім. М. Є. Жуковського
"Харківський авіаційний інститут"

М. Є. Лещенко, І. К. Васильєва, О. М. Замірець, В. Є. Овчаренко

ОСНОВИ МІКРОЕЛЕКТРОНІКИ

Частина 1

Навчальний посібник до лабораторного практикуму

Харків «ХАІ» 2010

УДК 621.3.049.77

Основи мікроелектроніки : навч. посіб. до лаб. практикуму / М. Є. Лещенко, І. К. Васильєва, О. М. Замірець, В. Є. Овчаренко. – Х. : Нац. аерокосм. ун-т "Харк. авіац. ін-т", 2010. – Ч. 1. – 64 с.

Подано лабораторні роботи з теми „Елементи конструкцій інтегральних схем”. Наведено розгорнуті відомості про структуру гібридних інтегральних схем, напівпровідникових мікросхем на біполярних та уніполярних транзисторах. Розглянуто топології шарів мікросхем, особливості реалізації пасивних та активних елементів ІС, виконано розрахунок елементів мікросхем, що дає можливість студентам ґрунтовно вивчити структуру й елементи конструкцій реальних мікросхем.

Для студентів, що вивчають курс „Основи мікроелектроніки” за напрямом підготовки „Електронні апарати”.

Іл. 40. Табл. 12. Бібліогр.: 4 назви

Рецензенти: д-р техн. наук, проф. О. І. Филипченко,
д-р техн. наук, проф. В. М. Борщов

© Національний аерокосмічний університет ім. М. Є. Жуковського
"Харківський авіаційний інститут", 2010 р.

ВСТУП

Сучасний рівень науки й техніки базується на інформаційних технологіях як підґрунті подальшого розвитку інформаційного суспільства. Технічною базою інформаційних технологій є сучасна мікроелектроніка, що зародилась у середині минулого століття. Науково-технічними основами її появи стали досягнення фізики твердого тіла, фізики напівпровідників і діелектриків, фізики тонких плівок, матеріалознавства, технології виробництва надчистих монокристалів напівпровідників і діелектриків, технології виготовлення печатних плат, технології виготовлення напівпровідникових діодів і транзисторів, технології вакуумного виробництва та спецметалургії.

Початок ХХІ століття позначився переходом від мікротехнологій до нанотехнологій, тому підготовка спеціалістів у галузі приладобудування має містити практичні роботи з мікро- й нанооб'єктами для створення їх образного сприйняття. Майбутній спеціаліст має „відчувати” мікро- й наносередовище, у якому формуються інтегровані структури електронних приладів.

Мінімізація масогабаритних характеристик електронних приладів є одним із найважливіших факторів розвитку електроніки. Особливої значущості набули масогабаритні характеристики мікросхем, що опосередковано відображається ступенем інтеграції, який за півстоліття розвитку мікроелектроніки досяг фантастичного значення (такого, що дорівнює 9) і продовжує зростати згідно з законом Мура.

Поряд із цим накопичуються обмеження, пов'язані з топологією шарів мікросхем, дією сильних електричних і теплових полів. Розміри окремих елементів досягли значень 1...10 нм, а це фактично означає перехід від мікро- до нанотехнології. Майбутні фахівці мають бути орієнтовані на такі зміни в електроніці.

Цей посібник містить три лабораторні роботи першої частини лабораторного практикуму з дисципліни „Основи мікроелектроніки”. Роботи складено відповідно до таких розділів курсу: „Гібридні інтегральні схеми”, „Напівпровідникові мікросхеми на біполярних транзисторах”, „Напівпровідникові мікросхеми на уніполярних транзисторах”.

Студенти виконують аналіз структури конкретних мікросхем і топологій їх шарів, розраховують параметри елементів, вивчають послідовність технологічних операцій виготовлення мікросхем. Матеріал, наведений у посібнику, з одного боку, необхідний для повного та якісного аналізу реальних елементів мікросхем, а з іншого – є суттєвим доповненням теоретичного курсу.

Лабораторна робота № 1

ГІБРИДНІ ІНТЕГРАЛЬНІ МІКРОСХЕМИ

Мета роботи: вивчення гібридних інтегральних мікросхем, проектування їх топології й розраховування розмірів елементів.

Завдання: вивчити топологію запропонованої мікросхеми, виконати ескізи шарів та їх аналіз із обґрунтуванням застосовуваних матеріалів і технологій, зробити розрахунки елементів.

Теоретичні відомості

Гібридна ІС (ГІС) – інтегральна мікросхема, яка крім елементів містить компоненти, сформовані й встановлені на поверхні некристалічної діелектричної підкладки. ГІС виготовляється в єдиному технологічному циклі. Розрізняють тонкоплівкові й товстоплівкові ГІС.

Тонкоплівкова ІС – інтегральна мікросхема, товщина плівок якої становить не більше 1 мкм.

Товстоплівкова ІС – інтегральна мікросхема з плівками завтовшки 15...70 мкм.

Елемент ІС – частина інтегральної мікросхеми, що реалізує функцію якого-небудь радіоелемента (транзистора, діода, резистора, конденсатора тощо), яка виготовляється нероздільною з кристалом або підкладкою й не може бути виділена як незалежний виріб.

Компонент ІС – частина інтегральної мікросхеми, що реалізує функцію якого-небудь радіоелемента й може бути виділена як незалежний виріб.

Підкладка ІС – заготовка, призначена для нанесення на її поверхню елементів гібридних і плівкових інтегральних мікросхем, міжелементних і міжкомпонентних з'єднань, а також контактних площадок.

Плата ІС – частина підкладки ГІС, на поверхню якої нанесено плівкові елементи мікросхеми, міжелементні й міжкомпонентні з'єднання та контактні площадки.

Можливості реалізації ГІС визначаються доступними матеріалами й технологією формування відповідних шарів. Під час виготовлення ГІС на основі РС-структур формуються такі шари:

- резистивний (один або два залежно від діапазону номіналів резисторів);
- провідників і контактних площадок;
- нижніх обкладок конденсаторів;
- діелектрика конденсаторів;

- верхніх обкладок конденсаторів;
- діелектрика захисного шару.

Конденсатори можуть бути компонентами. У такому разі мінімальна кількість шарів ГС може бути зведена до трьох: резистивний, провідників, захисний.

Елементи конструкції ГС

Підкладка є основою ГС. У сучасних мікросхемах вона виконується з кераміки, скла й ситалу. Широко використовуються такі матеріали: ситал СТ 50-1, скло нелужне С41-1, кераміка, полікор. Стандартні розміри – 60×48×0,6 мм. Розміри плат кратні початковим розмірам підкладки й можуть бути, наприклад, такими: 24×30, 12×16, 10×12, 5×6 мм.

Тонкоплівкові резистори виготовляють із високоомних металів, металосиліцидних сплавів, кераміко-металевих сумішей (керметів). Вони різняться електрофізичними характеристиками й технологією виготовлення. За геометрією розрізняють резистори лінійні, складені й типу "меандр" (рис. 1.1).

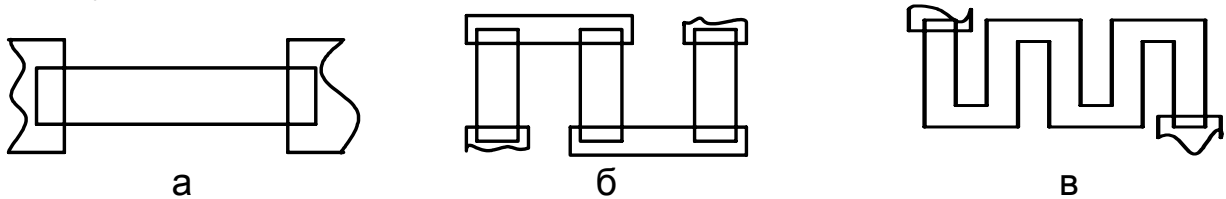


Рис. 1.1. Тонкоплівкові резистори:
а – лінійний; б – складений; в – типу "меандр"

Для виготовлення тонкоплівкових резисторів використовуються метали – хром Cr і тантал Ta з $\rho = 100...500 \text{ Ом}/\square$.

На основі металосиліцидних сплавів розроблено широку гаму матеріалів резистивних сплавів (РС-3710, РС-3001), добре відомий сплав МЛТ-3М. Діапазон номіналів сплавів РС – 0,5...50 кОм/ \square .

Значного поширення набули кермети, що являють собою діелектричну матрицю, у якій довільно розміщені острівці металевої фази, наприклад, кермет $\text{Cr}_x\text{SiO}_{1-x}$. У таких структурах ρ залежить від товщини плівки d та її хімічного складу X .

Опір плівки резистора R визначається каналом провідності, що утворюється внаслідок випадкових переходів носіїв між окремими острівцями (рис. 1.2).

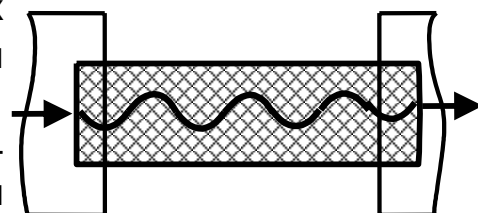


Рис. 1.2. Канал провідності тонкої резистивної плівки

Важливим параметром резистивних матеріалів є питома потужність P_0 розсіювання енергії без порушення стабільності елементів. Для зазначених матеріалів $P_0 = 10 \dots 30$ мВт/мм². Бажано мати матеріали з якомога більшим значенням P_0 .

Товщина резистивної плівки d залежно від виду матеріалу та P_0 становить 0,06...0,15 мкм.

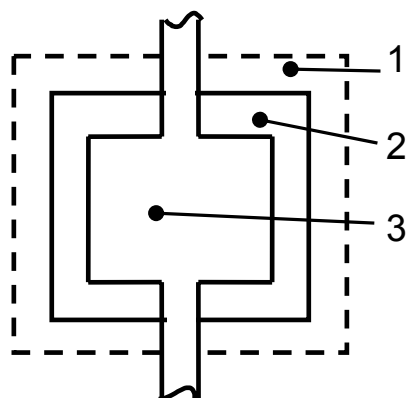


Рис. 1.3. Конструкція конденсатора

Конструкції резистивно-ємнісних схем можуть містити *тонкоплівкові конденсатори* (рис. 1.3) – тришарові структури, що мають нижню металеву обкладку 2, діелектрик 1, верхню металеву обкладку 3 (MDM-структура).

Оптимальною геометричною формою конденсатора є квадрат, що характеризується коефіцієнтом форми $K_\phi = 1$ (відношення довжини L до ширини B). Допускається $K_\phi > 1$, але це призводить до погіршення добротності конденсатора.

Ємність тонкоплівкового конденсатора

$$C = \frac{\varepsilon_0 \varepsilon S}{d}, \quad (1.1)$$

де ε – відносна діелектрична проникність діелектрика конденсатора; $\varepsilon_0 = 8,849 \cdot 10^{-12}$ Ф/м – діелектрична проникність вакууму; S – площа верхньої обкладки; d – товщина діелектрика.

Основними матеріалами діелектрика конденсатора є: монооксид кремнію SiO з можливими значеннями $C_0 = 5000 \dots 10000$ пФ/см², $\varepsilon = 5,5$; скло електровакуумне С41-1 – $C_0 = 15000 \dots 40000$ пФ/см², $\varepsilon = 5,2$; п'ятиоксид танталу – $C_0 = 100000$ пФ/см², $\varepsilon = 23$.

Як матеріал для обкладок використовують алюміній А-99 з $\rho = 0,2$ Ом/□ і товщиною близько 4000 Å. Товщина діелектрика d залежить від вибраного значення C . Повинні виконуватися такі нерівності:

$$d > d_{кр}, \quad F < F_{кр}. \quad (1.2)$$

Електрична міцність $F_{кр} = 2 \cdot 10^6$ В/см, а $d_{кр} = V / F_{кр}$.

Товщину діелектрика d конденсатора вибирають із запасом електричної міцності:

$$d = K_3 d_{кр}, \quad (1.3)$$

де K_3 – коефіцієнт запасу, який беруть таким, що дорівнює 3...10.

Важливою характеристикою конденсатора є добротність

$$Q = \frac{1}{\operatorname{tg}\delta_D + \operatorname{tg}\delta_M}, \quad (1.4)$$

де $\operatorname{tg}\delta_D$ – тангенс кута втрат діелектрика; $\operatorname{tg}\delta_M = r_m \omega_c$ – тангенс кута втрат у металі провідників та обкладках конденсаторів.

Очевидно, що Q має сильну частотну залежність.

Якщо номінал конденсатора ПС досить високий, що потребує значення $S > 1 \text{ см}^2$, то тонкоплівковий конденсатор замінюють компонентом спеціального конструктивного рішення типу К10-9, К22-4 з розмірами $(1,4 \times 2 \times 1,2) \dots (8 \times 8 \times 2,5)$ мм та ємністю до 0,33 мкФ.

Як резистори, так і конденсатори можуть мати підстроювальні елементи, що дозволяє значно знизити похибку. У стандартному варіанті похибка не перевищує $\pm 20 \%$, а підстроювальний конденсатор дозволяє знизити її до 1 %.

Усі елементи й компоненти ПС з'єднані *провідниками й контактними площадками*, які можуть бути виконані у вигляді одного шару або декількох шарів.

Шар *провідників* має забезпечувати хорошу адгезію, високу електропровідність, пасивність до контактних структур, стійкість до впливу зовнішнього середовища.

Контактні площадки забезпечують можливість паяння або зварювання з золотими виводами компонентів.

Для досягнення високої адгезії та механічної міцності плівок між основним шаром провідників і контактних площадок формують проміжний шар (підшар) завтовшки 200...300 Å із хрому або ніхрому.

Основна плівка провідника або контактної площадки виконується з міді, золота або металевих сплавів, її товщина становить 4000...8000 Å.

Плівку міді покривають захисним шаром нікелю, олова або золота завтовшки 1500...2000 Å.

Таким чином, найчастіше використовуються такі системи: *Cr-Cu-Ni* (рис. 1.4), *Cr-Cu-Sn*, *Cr-Au*, *Cr-Cu-Au*.

Вибір матеріалів шарів залежить від призначення мікросхеми й умов її експлуатації.

Основні характеристики найбільш застосовуваних матеріалів елементів конструкції ПС наведено в табл. 1.1–1.4.

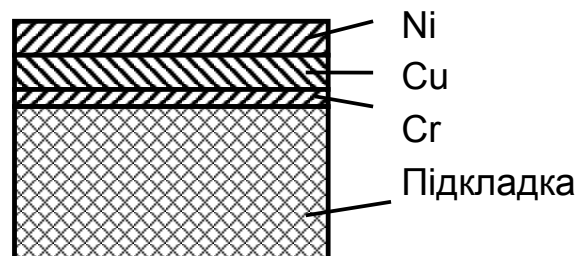


Рис. 1.4. Провідникова система Cr-Cu-Ni

Таблиця 1.1

Електрофізичні характеристики підкладок інтегрованих мікросхем

Параметр	Скло С41-1	Скло С48-3	Ситал СТ50-1	Кераміка 22ХС	Високоглиноземиста глазурована кераміка	Полікор	Плавлений кварц	Синтетичний сапфір	Берилієва кераміка
Густина, г/см ³	2,5	2,1	2,65	3,7	–	3,96	2,3	–	3,0
ТКР, °С ⁻¹ ·10 ⁻⁷	39...43	46...50	47...51	60...70	38...45	75	55	80	70
Діелектрична проникність ϵ при $f=1$ МГц, $t = 20$ °С	$\leq 7,5$	3,7...8	5...8	$\leq 10,3$	$\leq 10,3$	9,1	3,8	9,3...11,7	6,4...9,5
∞ $tg\delta \cdot 10^{-4}$ при $f = 1$ МГц, $t = 20$ °С	≤ 20	≤ 15	(2...20)	≤ 6	20	1	–	1	–
Теплопровідність, Вт/(м·К)	0,8...1,3	0,8	1,2	8,4	1...1,5	23...38	4...15	25...40	140
Температура розм'якшення, °С	910	750	620	1500	1900	–	1500	1900	1000
Припустима розсіювана потужність, Вт/см ²	0,6	0,6	4,0	6,0	6,0	6,0	–	–	30
Питомий об'ємний електричний опір при $t = 20$ °С, Ом·м	10 ¹²	10 ¹⁵	10 ¹²	10 ¹¹	10 ¹⁰	10 ¹²	–	–	10 ¹³

Матеріали резистивних плівок і їхні електричні характеристики

Матеріал резистивної плівки	Матеріал контактних площадок	ρ , Ом/□	P_0 , Вт/см ²	ТКО·10 ⁴ , °С ⁻¹ , при -60...125 °С	$\gamma_{см}$, %, на 1 тис. год при 85 °С	Метод отримання плівки
Тонкі плівки						
Хром ЭРХ	Хром – мідь – нікель	10...500	2,0	0,6...1,8	1,6...3,2	ТВ
Ніхром Х20Н80	Ніхром – мідь – нікель	50...300	1,0	±2,0	1,1...1,3	ТВ, ДВ
Тантал ТВЧ	Тантал – ванадій – алюміній	10...100	2,0	-2,0	-1,5	КР, ІПР
Сплав МЛТ-3М	МЛТ – ніхром – мідь – нікель	200...500	2,0	±2	±0,5	ТВ, ДВ
Сплав РС-3710	РС – хром (ніхром) – мідь – нікель	100...2000	1,0	-2...5	±0,5	ТВ, ДВ
Сплав РС-3001	РС – хром (ніхром) – мідь – нікель	800...3000	1,0	-0,4	±0,5	ТВ, ДВ
Кермет К-50С	Кермет – хром (ніхром) – золото	10 ³ ...10 ⁵	2,0	-5...3	±1,0	ДВ
Полісиліцій р-типу	Полісиліцій р-типу – алюміній	50...250	4,8	-0,5...25	±0,5	ТВ
Полісиліцій n ⁺ -типу	Полісиліцій n ⁺ -типу – алюміній	2...5	4,8	1,0	±0,5	ТВ
Товсті плівки						
ПР-20	ПП-1,2,3,4	20	3,0	-8,0...8,0	±1,5	ТД
ПР-100	ПП-1,2,3,4	100	3,0	-8,0...8,0	±1,5	ТД
ПР-1к	ПП-1,2,3,4	1000	3,0	-8,0...8,0	±1,5	ТД
ПР-20к	ПП-1,2,3,4	20000	3,0	-8,0...8,0	±1,5	ТД

- Примітки: 1. Максимально допустима температура плівок резисторів 125 °С.
 2. Матеріали контактних площадок зазначено в порядку черговості їх нанесення на основу з урахуванням резистивного матеріалу.
 3. ТВ – термічне випаровування; ДВ – дискретне випаровування; КР – катодне розпилення; ІПР – іонно-плазмове розпилення; ТД – трафаретний друк

Таблиця 1.3

Матеріали діелектричних плівок і їхні електрофізичні характеристики

Матеріал діелектричної плівки	C_0 , пФ/мм ²	U_p , В	ε при $f = 1$ кГц	$tg\delta$ при $f = 1$ кГц	$E_{np} \cdot 10^{-3}$, В/мм	$F_{роб}$, МГц	ТКЕ $\cdot 10^4$, °С ⁻¹ , при -60...125 °С	$\gamma_{ст}$, %, на 10^3 год	Метод отримання плівки
Моноокис силіцію SiO	Тонкі плівки								
	50...100	60...30	5...6	0,01...0,02	2...3	500	2	±1,5	ТВ
Моноокис германію GeO	50...150	10...5	11...12	0,005...0,007	1	300	3	±2	ТВ
Сульфід стибію Sb ₂ S ₃	50...200	10	13...14	0,005...0,01	0,7...2	300	5	3,0	ТВ
Скло С44-1 електровакуумне	150...400	12...6	5,2	0,002...0,003	3...4	300	0,5...1	1,2	ТВ
Боросилікатне скло SiO ₂ – В ₂ O ₃	25...150	24..8	4	0,001...0,0015	3...4	300	0,35	2,0	ТВ
Алюмосилікатне скло SiO ₂ – Al ₂ O ₃	150...500	12...6	8...10	0,002	2,5...4,5	300	-	1,5	ТВ
Пентаоксид танталу Ta ₂ O ₅	1000... 2000	10...3	23	0,01	1...2	10	2...3	-	Анодування
ПД-1 (два шари $d = 30$ мкм)	Товсті плівки								
	2...3	100	15	0,002	0,03...0,04	-	±(2...3)	±4,5	-

Таблиця 1.4

Матеріали плівкових провідників і контактних площадок

Матеріал (підшар, шар, покриття)	Товщина, нм	ρ , Ом/□	Рекомендований спосіб контактування
			Тонкі плівки
Ніхром	50...30	0,02...0,04	Паяння мікропаяльником. Зварювання імпульсним непрямим нагріванням
Мідь	600...800		
Нікель	80...120		
Ніхром	10...30	0,03...0,04	
Золото	600...800		
Ніхром	40...50	0,1...0,2	
Алюміній	250...350		
Нікель	50		
Ніхром	10...30	0,02...0,04	Паяння мікропаяльником. Зварювання імпульсним непрямим нагріванням
Мідь	600...800		
Золото	50...60		
Ніхром	10...30	0,08...0,16	Ультразвукове зварювання
Алюміній	300...600		
Товсті плівки			
ПП-1	$(1...2) \cdot 10^4$	0,05	Паяння мікропаяльником з попереднім покриттям припоєм
ПП-2	$(1...2) \cdot 10^4$	0,05	Паяння мікропаяльником

Проектування топології плат

Топологічне проектування – це визначення геометричних розмірів й форми елементів, їх раціональне взаємне розміщення на платі й створення монтажною схеми з'єднань. При топологічному проектуванні прагнуть так розмістити елементи й компоненти та їх з'єднання, щоб кількість перехрещень та довжини з'єднувальних плівкових провідників були найменшими.

Топологічне проектування плівкової мікросхеми починається з узгодження загальних електричних та конструктивних даних і вибору матеріалів для реалізації елементів ПС. У процесі узгодження необхідно визначити можливі розміри плівкових елементів з урахуванням

вимог до точності виготовлення провідників комутації, а також до значень уведених паразитних зв'язків.

Кінцеві розміри підкладок визначаються після пророблення одного-двох варіантів топології.

Головними етапами топологічного проектування є:

- а) топологічне перетворення початкової схеми;
- б) визначення геометричних розмірів плівкових елементів;
- в) розміщення й вибір форми плівкових елементів на робочій поверхні підкладок;
- г) оцінювання якості розробленої топології і, якщо необхідно, проведення відповідної корекції.

Початковими даними для проектування ГІС є електрична схема, розроблена з урахуванням можливостей реалізації її у вигляді ГІС, а також з урахуванням особливостей функціонування елементів за умов щільного монтажу. Такі схеми не повинні мати індуктивностей, резисторів з опором більше 1 МОм і конденсаторів ємністю більше 0,2 мкФ. У специфікації мають бути наведені параметри елементів схеми, які дають можливість вибрати матеріали й проводити конструктивний розрахунок.

Метою топологічного перетворення принципової електричної схеми є складання схематичного плану розміщення елементів та їх з'єднань на підкладці мікросхеми. Під час топологічного перетворення схеми намагаються звести до мінімуму кількість перетинань провідників. При цьому слід ураховувати особливі вимоги до взаємного розміщення елементів і з'єднувальних провідників, що є наслідком необхідності ліквідації взаємовпливу електричних кіл, забезпечення стійкості, уніфікації тощо.

Проектування тонкоплівкових резисторів. Проектування резистивної частини тонкоплівкових ГІС ускладнене обмеженням на кількість резистивних шарів плати (не більше двох). В одному шарі всі резистори мають однакові питомі опори ρ . Тому резистори з однаковими значеннями питомих опорів, виконані в одному шарі, різняться лише своєю геометрією. Невдалий вибір питомого опору шару веде до ускладнення їх геометрії та погіршення топології плати, наприклад, якщо питомий опір занадто низький, то високоомні резистори треба виконувати у вигляді довгої змійки. Це не бажано. Вдалим вибір ρ буде в тому випадку, коли геометрія всіх резисторів групи буде найбільш простою. Тому під час проектування резистивної частини плати слід розробляти декілька варіантів рішень.

Знайти питомий опір шару резисторів, наближений до оптимального, можна за формулою

$$\rho_{onm} = \sqrt{\frac{\sum_{i=1}^n R_i}{\sum_{i=1}^n \frac{1}{R_i}}}, \quad (1.5)$$

де n – кількість резисторів.

Опираючись на значення ρ_{onm} і враховуючи такі фактори, як необхідність забезпечення стабільності опорів та їх відтворюваності, вибирають потрібний матеріал для реалізації резистивного шару. Після цього розробляють геометрію всієї групи резисторів.

Розрахунок розмірів резисторів. Початковими даними для проектування резисторів є номінальний опір, допустима потужність розсіювання та інші параметри, наприклад, температурний коефіцієнт опору (ТКО) резистора, шумові характеристики. Мета проектування – вибір розмірів і геометричної форми кожного резистора.

Найбільш простою є прямокутна форма резистора (рис. 1.5).

У цьому випадку потрібно визначити геометричні розміри резистора: його довжину L і ширину B .

На рис. 1.5 позначено: L – діюча довжина резистора; $L + 2\Delta L$ – конструктивна довжина резистора; ΔL – ділянка перекриття резистивної плівки й контактної площадки або ділянки провідника; B – ширина резистора.

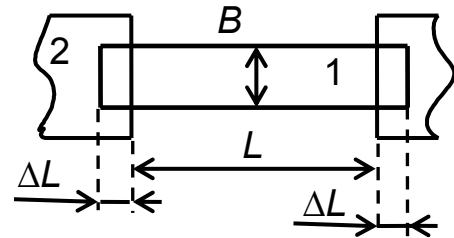


Рис. 1.5. Лінійний резистор:
1 – резистивна плівка;
2 – контактна площадка

В основу визначення величин L і B покладено умови забезпечення номінального опору й забезпечення нормального теплового режиму роботи резистора:

$$R = \rho_{\square} \frac{L}{B} = \rho_{\square} K_{\phi}; \quad (1.6)$$

$$P \leq W_0 L B, \quad (1.7)$$

де $\rho_{\square} = \rho_{onm}$ – питомий поверхневий опір тонкого резистивного шару, що визначається вибраним матеріалом резистора, Ом/□ (ом на квадрат); K_{ϕ} – коефіцієнт форми резистора:

$$K_{\phi} = \frac{L}{B} = R / \rho_{\square}; \quad (1.8)$$

W_0 – максимально можлива питома потужність тепловідведення від одиниці площі резистивного шару, яка визначається прийнятим матеріалом резистора.

Сумісне розв'язання (1.6)–(1.8) дає рівняння

$$B = \sqrt{\frac{P}{W_0 K_\phi}}. \quad (1.9)$$

Довжина резистора буде

$$L = BK_\phi. \quad (1.10)$$

Застосовувати конструкцію резисторів типу "меандр" (див. рис. 1.1, в) доцільно, якщо це приводить до спрощення топології такого резистора. Початковими даними для конструювання змійки є довжина L і ширина B . Основні проектні параметри – амплітуда "меандру", ширина перемички, крок і кількість ланок "меандру".

Оцінювання похибки виконання резисторів. Похибка тонкоплівкових резисторів виникає через неточне відтворення питомого опору, температурної й часової нестабільності. Величина відносної похибки відтворення опору тонкоплівкового резистора, яка обумовлена зазначеними причинами, становить 4–10 %.

Відносну похибку опору резистора, яка виникає через неточне відтворення геометричних розмірів, можна оцінити за формулою

$$\gamma_s = \frac{\Delta R}{R} \approx \left(\frac{\Delta L}{L} + \frac{\Delta B}{B} \right), \quad (1.11)$$

де $\Delta L = \Delta B \approx 15$ мкм при конденсації тонкого резистивного шару крізь трафарет, $\Delta L = \Delta B \approx 5 \dots 6$ мкм при формуванні рисунка шару резисторів методом фотолітографії.

Другу складову похибки γ_ρ спричиняє неточне виконання питомого поверхневого опору $\pm \Delta\rho$ через неточне витримання товщини плівки й порушення режимів формування резистивного шару.

Крім того, похибка R обумовлена старінням матеріалу тонкої плівки резистора й ТКО.

Загалом

$$\gamma = \gamma_s + \gamma_\rho + \gamma_\tau + \gamma_t. \quad (1.12)$$

Якщо виконуються всі конструктивні й технологічні вимоги, то можливим є забезпечення похибки не більше 10 %, що здебільшого відповідає потребам споживачів.

Якщо необхідно, можна отримати резистори з малими похибками (до 0,1 %). Існують відпрацьовані схеми підстроювання резисторів: електрична, механічна, лазерна.

Деякого підвищення точності резистора можна добитися шляхом збільшення його площі.

Вибір форми елементів і розміщення їх на платі. Вихідними даними для виконання цього етапу розробки топології плати ГІС є кому-таційний план, розміри всіх тонкоплівкових елементів і компонентів, перелік конструктивних і електричних вимог і технологічних обмежень.

Мета цього етапу робіт – одержання топологічного креслення плати з оптимальним розміщенням елементів і компонентів ГІС, а також з оптимальним об'єднанням їх плівковими міжелементними й міжкомпонентними з'єднаннями (трасами). Елементи при цьому повинні мати, якщо можливо, прості геометричні форми.

Критеріями оптимальності розміщення елементів на платі є мінімальна площа плати ГІС, мінімальна кількість перетинів з'єднувальних провідників, мінімальна довжина з'єднувальних провідників (трас) та ін.

Час та якість виконання цього етапу робіт значною мірою визначаються й індивідуальними особливостями розробника.

Кінцевий варіант топології плати приймається після проробки декількох ескізних варіантів топологічних креслень. Кожний новий варіант топології виконується з метою вдосконалення попередніх варіантів за рахунок спрощення конфігурації плівкових шарів і технології їх виготовлення.

Під час розміщення елементів на платі рекомендується користуватися такими правилами:

а) для першого ескізного варіанта довжину й ширину плати вибирають таким чином, щоб площа плати дорівнювала сумарній площі елементів (тонкоплівкових резисторів, конденсаторів, контактних площадок) і компонентів (якщо компоненти розміщені на лицьовій поверхні плати), поділений на коефіцієнт заповнення, а також щоб на стандартній підкладці розміром 48×60 мм розміщалося ціле число плат; при цьому мінімальний розмір сторін плати, менший за 5 мм, брати не рекомендується;

б) розміщення елементів на платі починають з розміщення контактних площадок, які розташовані вздовж граней плати (якщо таких контактних площадок багато), після цього розміщують елементи й компоненти з малою площею, в першу чергу ті, які розташовані на периферії плати, останніми розміщують елементи з великою площею з тим, щоб максимально заповнити ними вільні місця плати;

в) якщо під час розміщення елементів виявилось, що на платі багато вільного місця, то беруть плату з меншими розмірами сторін, у випадку ж, коли виконати такий перехід неможливо, елементи розміщують вільніше з тим, щоб запобігти перегріву елементів і компонентів, а також зменшити їхній вплив на роботу один одного;

г) для захисту елементів ГС від впливу зовнішнього середовища в процесі виробництва передбачають захисний шар;

д) розміщують елементи відповідно до конструктивних вимог і технологічних обмежень.

Технологічні обмеження

Технологічні обмеження на розміщення елементів на платі пов'язані з прийнятим методом виконання елементів, методом комутації компонентів і виводів ГС, а також із технологічною сумісністю шарів плати.

Наведемо приблизний перелік технологічних обмежень.

1. Тонкоплівкові елементи, геометрія яких не потребує високої точності виконання, розміщують на відстані не менше 500 мкм від краю плати, а резистори й конденсатори – на відстані не менше 700 мкм.

2. Для комутації елементів, які розташовані в різних плівкових шарах, передбачають необхідне перекриття шарів, яке визначається методом формування рисунків шарів тонкоплівкових елементів: якщо застосовуються метод вільної маски й суміщений метод, то 200 мкм; якщо – фотолітографія, то 100 мкм.

3. Нижня обкладка конденсатора має виступати за верхню не менше ніж на 200 мкм, а край діелектрика повинен виступати за нижню обкладку не менше ніж на 200 мкм.

4. Комутаційний вивід обкладки конденсатора повинен виступати за край діелектрика не менше ніж на 400 мкм.

5. Мінімальні розміри контактних площадок мають бути такими: для комутації паянням – 400×400 мкм, для комутації зварюванням – 250×250 мкм, для контролю – 200×200 мкм.

6. Довжина плівкових резисторів повинна бути не менше ніж 300 мкм, якщо застосовується метод вільної маски, і 100 мкм – якщо фотолітографія.

7. При використанні методу вільної маски ширина всіх тонкоплівкових елементів має бути не менше ніж 100 мкм, а при використанні методу фотолітографії або при виконанні плати за танталовою технологією – 50 мкм.

8. Відстань між паралельними краями різних тонкоплівкових елементів повинна бути не менше ніж 200 мкм при довжині їх паралельних ділянок не більше ніж 10 мм.

9. Контактні площадки розміщують на відстані не менше ніж 500 мкм від краю плати.

10. Обидва кінці резисторів мають бути під'єднані до схеми одним шаром провідників.

11. Верхні обкладки конденсаторів і контактні площадки мають бути розташовані в різних шарах.

12. Мінімальні розміри конденсатора – 0,5×0,5 мм.

Конструктивні вимоги

Наведемо перелік конструктивних вимог, яким мають відповідати розроблені конструкції ГІС (крім вимог ЄСКД).

1. Креслення плати виконують у масштабі 10:1, 20:1, допускається використовувати більші масштаби, кратні 10.

2. Розміри плат і розміщення контактних площадок мають відповідати вибраному корпусу мікросхеми.

3. Розміщення контактних площадок по протилежних краях плати повинно бути симетричним.

4. Зовнішні контактні площадки розміщують з кроком 0,625 або 1,25 мм і нумерують їх, починаючи з нижнього лівого кута в напрямі проти годинникової стрілки.

5. Внутрішні контактні площадки нумерують з лівого кута вгору направо „змією”.

6. Кожний елемент схеми повинен контролюватися окремо, для чого передбачають необхідну кількість контактних площадок і, якщо необхідно, розрив трас з перепайкою їх після контролю.

7. Контактну площадку, розміщену в лівому нижньому куті, збільшують у бік нижнього краю плати на 0,35 мм, а в бік лівого краю – на 0,2 мм.

8. Кожну десятку зовнішню контактну площадку збільшують на 0,2 мм у бік технологічного поля.

9. Можна пропускати контактні площадки у всіх лінійних ГІС, а також ГІС логіки, які мають на зовнішніх краях плати менше 10 контактних площадок.

Для прийнятого варіанта топології виконують розрахунок її якості: розрахунок температурного режиму ГІС, розрахунки ємнісних, індуктивних і гальванічних зв'язків.

Якщо виконані розрахунки показують, що спроектована ГІС матиме неприпустимо великі паразитні зв'язки, то слід скорегувати топологію плати з метою їх зменшення.

Після закінчення перевірних розрахунків і проведення відповідної корекції топології плати оформляють конструкторську документацію на ГІС відповідно до вимог ЄСКД.

Елементи технології ГС

Основними процесами в технології ГС є формування плівки резистивного, провідникового або діелектричного шару схеми, а також рисунка схеми.

Плівки вирощують методами конденсації з потоку пари речовини у вакуумі або з дифузійного потоку, одержаного розпиленням мішені іонним бомбардуванням із плазми (іонно-плазмове розпилення).

Перший спосіб – *термовакуумне напилення* (рис. 1.6) – завжди

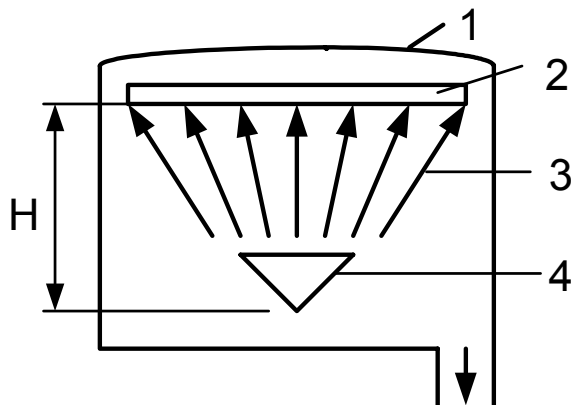


Рис. 1.6. Схема методу термовакуумного напилення

має джерело атомного потоку пари речовини нависки 4, сам потік 3 і підкладку 2, на якій конденсується плівка.

Процес відбувається у вакуумній камері 1, де тиск доводиться до рівня 10^{-4} Па. Тиск має бути таким, щоб довжина вільного пробігу атомів потоку пари L була більшою за відстань від підкладки до випарника H . У такому випадку потік атомів не має дифузійного розсіяння й під-

порядковується законам геометричної оптики.

Для одержання плівки з програмованими електрофізичними параметрами необхідно витримувати заданий технологічний режим: тиск у камері P_i , температура підкладки T_{II} , температура випарника T_B , яку можна вимірювати безпосередньо або визначати за значеннями струму нагрівника.

Хімічна чистота плівки залежить від парціального тиску реактивних газів у камері. Забруднюватися плівки можуть також матеріалом випарника.

Використовують випарники прямого й непрямого нагрівання. Наприклад, алюміній випаровують з вольфрамових дротинок, що нагріваються при прямому проходженні через них струму. Випарниками непрямого нагрівання є тиглі з окисів рідкоземельних елементів, що забезпечують їх нагрівання до високих температур.

Великі можливості має *електронно-променевий метод* випаровування одноелементних і багатоелементних речовин у широкому діапазоні температур, що визначаються за парціальним тиском над поверхнею розплаву. Цей метод може застосовуватися лише для електропровідних матеріалів. Схему методу зображено на рис. 1.7, де

1 – вакуумна камера; 2 – підкладка; 3 – потік пари; 4 – електронний пучок; 5 – навіска; 6 – охолоджувальна рідина; 7 – фокусувальний електрод; 8 – прискорювальний електрод; 9 – електронна пушка; 10 – катод; 11 – анод.

Навіска нагрівається локально в місці падіння електронного пучка, унаслідок чого виділяється „повний” потік пари, який конденсується на підкладці.

Для одержання плівок зі складних хімічних сполук користуються методом вибухового випаровування. Суть його – у подачі малих доз на перегрітий випарник, що дає можливість одержати плівки потрібного хімічного складу (стехіометрії). Метод використовується для виготовлення резистивних плівок з таких матеріалів, як РС.

Іншим напрямом виготовлення плівок є іонне розпилення мішені з подальшою конденсацією атомів, що дифундують від мішені до підкладки. Розпилення речовини мішені відбувається внаслідок бомбардування мішені іонами плазми з енергією, більшою від енергії зв'язку: $E_j > E_3$.

Метод іонного розпилення дозволяє одержувати як легкоплавкі, так і тугоплавкі плівки потрібного хімічного складу (стехіометрії).

Існує багато схемних реалізацій методу іонного розпилення: від простої діодної (рис. 1.8) до багатоелектродної й магнетронної.

Сучасні системи працюють при досить низькому тиску нейтрального газу в камері. Використовують аргон високої чистоти під тиском $10^{-1} \dots 10^{-2}$ Па. Швидкості розпилення мішені в магнетронних системах 35...40 нм/с досягають шляхом локалізації плазми безпосередньо біля мішені, що збільшує коефіцієнт корисної дії.

Сучасне технологічне устаткування має продуктивність до 250 підкладок за годину. Одержують плівки високої якості.

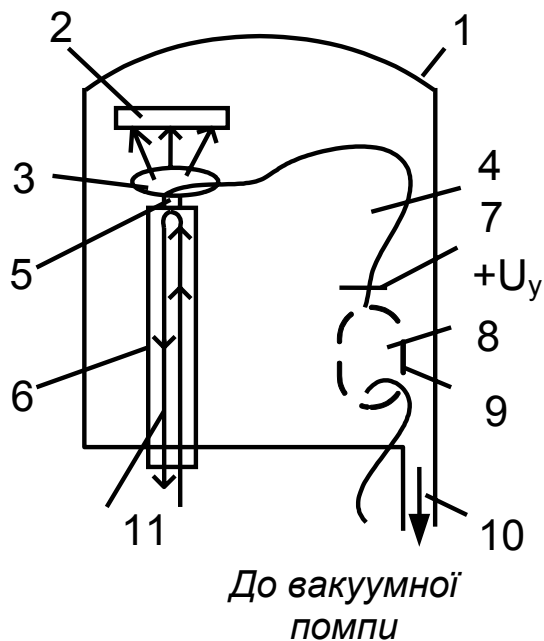


Рис. 1.7. Схема електронно-променевого методу

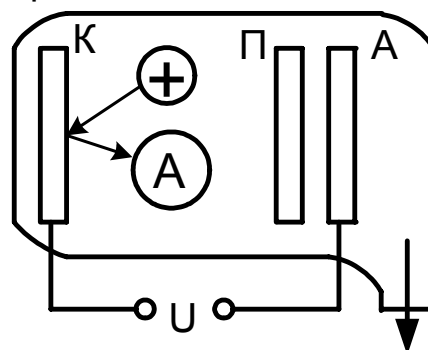


Рис. 1.8. Схема методу іонного розпилення

Товстоплівкові ГІС виготовляють *методом трафаретного друку* – на керамічну підкладку послідовно наносять різні за вмістом пасти, які потім випалюють до утворення монолітних плівок завтовшки 10...70 мкм потрібної конфігурації.

Пасти являють собою суспензії дрібнодисперсних порошків металів, їх оксидів і домішок скла в органічних середовищах. При випалюванні органічна речовина випаровується, а функціональні елементи залишаються в твердому розчині в склі. Скло при випалюванні плавиться, і формується монолітна конструкція товстоплівкового елемента. На межі з підкладкою формується перехідний шар завтовшки 6...8 мкм, завдяки чому забезпечується висока адгезія матеріалу.

Залежно від співвідношення елементів розрізняють провідникові, резистивні й діелектричні пасти.

Для забезпечення високої електропровідності провідникових паст до їхнього складу вводять срібло, паладій, золото.

Для виготовлення резисторів використовують пасти з вмістом паладію й рутенію залежно від потрібних значень поверхневого опору. Провідниковою фазою є сполуки паладію ($\rho = 10...10^6 \text{ Ом}/\square$) і рутенію.

Діелектрична паста містить оксид титану в склі з діелектричною проникністю 15...500.

Як підкладки використовують алюмооксидну кераміку 22хС.

Пасту наносять через сітчастий трафарет, виконаний з нейлону або нержавіючої сталі з комірками 80×240 мкм.

Рисунок шару отримують фотометодом на фоторезисті, який наноситься на сітку. Часто користуються біметалевими трафаретами. Для реалізації всіх шарів мікросхеми потрібно мати комплект трафаретів.

Пасти випалюють у конвеєрних печах при заданому режимі температури. Цей процес має три етапи: на першому етапі повністю видаляється органічна складова, на другому – формується структура елементів, а отже, і їхні електрофізичні властивості, на третьому – відбувається охолодження, певна швидкість якого забезпечує одержання ненапружених систем.

Важливим елементом технологічного процесу виготовлення тонкоплівкових ГІС є *формування рисунка шарів мікросхеми*.

Існує два основні способи: конденсація плівок через вільні трафарети (маски); літографія. Обидва методи мають і переваги, і недоліки.

Конденсація плівок через вільні трафарети потребує виготовлення комплекту технологічного оснащення – комплекту масок за кількістю шарів мікросхеми. Використовують біметалеві маски, що до-

зволяє досягти більш високої точності відтворення геометрії елементів. Маски мають отвори відповідно до конфігурації елементів шару. Через них атоми потоку пари попадають на поверхню підкладки. Тільки на відкритих ділянках формується плівка.

Усі шари мікросхеми можна наносити в одній вакуумній камері або в кількох вакуумних камерах за один вакуумний цикл, що підвищує якість і надійність мікросхем. З іншого боку, трафарети мають обмеження щодо щільності розташування отворів та їхніх коефіцієнтів форми. Це призводить до збільшення кількості шарів і ділянок їх з'єднання, підвищує трудомісткість і знижує надійність ІС.

Застосування методу вільної маски доцільне для виготовлення груп конденсаторів, нанесення контактних і провідникових елементів, захисних ізолювальних площадок, плівкової комутації середньої щільності, плівкових резисторів підвищеної потужності.

Метод літографії, перш за все, має високу роздільну здатність. Сучасна технологія базується на *методі фотолітографії*. Для формування шару мікросхеми виконуються такі основні операції:

- конденсація плівки на всю поверхню підкладки;
- нанесення фоторезисту на всю поверхню;
- експонування фоторезисту через фотошаблон шару опромінюванням в ультрафіолетовому діапазоні спектра;
- проявлення й задублення фоторезисту;
- видалення незаполімеризованих ділянок фоторезисту;
- хімічне травлення функціонального шару плівки;
- промивання й сушіння.

Таким чином послідовно одержують усі шари мікросхеми, але при цьому потребуються селективно діючі протравлювачі.

Метод дає можливість отримувати елементи мікросхеми складної конфігурації з малими похибками. Роздільна здатність методу залежить від довжини хвилі випромінювання, а її границя теоретично дорівнює половині довжини хвилі $\lambda/2$. У безлінзових системах з використанням ультрафіолету досягають роздільної здатності 0,25...0,3 мкм. Похибка збільшується через неточне суміщення шарів мікросхеми.

Перспективними є *рентгенівська й електронно-променева літографії*. При рентгенівській літографії довжина хвилі випромінювання дорівнює приблизно 1 нм, а це границя розмірів фізично можливих об'єктів структури мікросхем: це дві-три сталі кристалічних ґрат. Насправді границя роздільної здатності методу є значно вищою й становить 0,1 мкм. Існує перспектива зниження цього показника до 0,01...0,05 мкм.

Таким чином, досягнутий на сьогодні рівень роздільної здатності методу фотолітографії повністю задовольняє потреби виробництва ПС, чого не можна сказати про напівпровідникові мікросхеми.

Методи фотолітографії та вільної маски можна поєднувати, і тоді для мікросхем, які містять резистори, провідники й конденсатори, можна використовувати два варіанти технології:

– напилення резисторів крізь маску; напилення провідникової плівки на резистивну; фотолітографія провідникового шару; почергове напилення крізь маску нижніх обкладок, діелектрика й верхніх обкладок конденсаторів; нанесення захисного шару;

– напилення резистивної плівки; напилення провідникової плівки на резистивну; фотолітографія провідникового й резистивного шарів; фотолітографія провідникового шару; напилення крізь маску нижніх обкладок, діелектрика й верхніх обкладок конденсаторів; нанесення захисного шару.

Характеристики методів формування рисунка шарів мікросхем і мікрозборок наведено в табл. 1.5.

Таблиця 1.5

Методи формотворення рисунка мікросхем і мікрозборок

Метод	Тип ІМС або мікрозборки	Ступінь інтеграції	$b_{min}, l_{min},$ МКМ	$\Delta b, \Delta l,$ МКМ	$\Delta l_{суміщ},$ МКМ
Вільна маска	Тонкоплівкові	1,2	100, 300	5...10	20...50
Контактна фотолітографія	Тонкоплівкові	1...3	1	2...5	1
	Напівпровідникові	1...3	2...3	$\pm 0,5$	–
Суміщений	Тонкоплівкові	1...3	20...50, 100...300	5...10, 5...10	20...50
Сіткографічний	Плівкові	1...3	800	50	100
Контактна маска	Тонкоплівкові	1...3	10...20	3...5	2...3
Проекційна літографія зі зменшенням масштабу зображення	Напівпровідникові функціональні	3...5	1...2	$\pm(0,25...0,5)$	$\pm 0,5$
Послідовна електронолітографія	Для створення фотошаблонів	–	0,5...1,0	$\pm(0,05...0,1)$	–
Рентгенолітографія	Напівпровідникові функціональні	3...5	0,2...0,4	$\pm(0,1...0,25)$	0,1...0,2

Порядок виконання роботи

1. Отримати мікросхему для роботи.
2. Вивчити мікросхему за допомогою мікроскопа.
3. Виконати ескіз загальної топології плати.
4. Виконати ескізи кожного шару.
5. Провести загальний аналіз геометрії, коефіцієнтів форми елементів, можливих матеріалів для реалізації шарів.
6. Розрахувати орієнтовні значення номіналів елементів для взятих значень питомих характеристик. Довідкові дані для розрахунків наведено в табл. 1.1–1.5.
7. Провести аналіз топології кожного шару.
8. Оформити звіт про виконання лабораторної роботи, який має містити: ескізи топології та шарів мікросхеми; аналіз загальної топології; аналіз кожного шару; обґрунтування вибору матеріалів шарів і методів формування рисунка кожного шару; результати розрахунків номіналів і допусків для елементів.

Контрольні запитання

1. Який із факторів під час проектування топології тонкоплівкових резисторів є головним?
2. Як визначають питомий опір шару резисторів?
3. Що є початковими даними для проектування тонкоплівкових резисторів?
4. Як знайти довжину й ширину резисторів?
5. Що спричиняє похибку при виконанні резисторів?
6. Як знайти величину відносної похибки?
7. Як вибирати форму елементів ГС і розміщувати їх на платі?
8. Що можна взяти за критерій оптимальності розміщення елементів?
9. Якими правилами рекомендується користуватися під час розміщення елементів на платі?
10. Які Ви знаєте технологічні обмеження на розміщення елементів на платі? Із чим вони пов'язані?
11. Які існують конструктивні вимоги до розроблення конструкції ГС?
12. Яким чином розраховують якість узятого варіанта топології ГС?

Лабораторна робота № 2

НАПІВПРОВІДНИКОВІ МІКРОСХЕМИ НА ОСНОВІ БІПОЛЯРНИХ ТРАНЗИСТОРІВ

Мета роботи: вивчення напівпровідникових інтегральних схем на основі біполярних транзисторів.

Завдання: вивчити топологію запропонованої напівпровідникової мікросхеми на основі біполярних транзисторів; виконати ескізи шарів і структури елементів; виконати розрахунки й провести аналіз.

Елементи технології біполярних мікросхем

Головною частиною напівпровідникової ІС, що виконує функцію переробки й зберігання інформації, є кристал. Кристал – це частина напівпровідникової монокристалічної підкладки (основи), у тілі якої й на її поверхні виконано елементи й міжелементні плівкові з'єднання (металізація). Основними елементами ІС (біля 90 % від кількості елементів кристала) є транзистори.

Напівпровідникові ІС за типом транзисторів, що застосовуються в них, поділяють на ІС на біполярних транзисторах та ІС на уніполярних транзисторах. Інтегральні схеми на транзисторах обох типів використовуються рідко. Завданням роботи є вивчення конструкцій ІС на біполярних транзисторах.

Біполярні транзистори мають найскладнішу структуру з усіх елементів ІС, тому вони реалізуються застосуванням найбільшої кількості операцій. Головними операціями технологічного процесу виготовлення кристалів є операції локального легування й епітаксiального вирощування монокристалічних шарів, тому домінуючу технологію одержання кристалів ІС називають планарно-епітаксiальною. Для виготовлення різних видів ІС на біполярних транзисторах розроблено ряд базових видів технологій. Усі вони характеризуються тим, що в їх основу покладено принцип групової обробки, одночасного впливу на всю множину локальних областей безлічі підкладок оброблюваної партії для одержання ідентичних частин структур елементів. Відповідні локальні області діодів, резисторів, конденсаторів легуються одночасно з легуванням відповідних областей транзисторів.

Підкладки напівпровідникової ІС є неізоляційними (активними), тому всі елементи ІС на біполярних транзисторах створюють у спеціально виконаних в них ізольованих областях (так званих колекторних карманах). Усі види базових технологій різняться, насамперед, видом ізоляції колекторних карманів. Деякі з них описано нижче.

Під час проведення відповідних операцій технологічного процесу локальний вплив на підкладку здійснюється через відповідну маску, яка захищає необроблювані області підкладки, одночасно забезпечуючи вплив в оброблюваних областях. У планарно-епітаксильній технології застосовуються такі процеси, як локальне травлення, хімічне або плазмове, легування (дифузією або іонною імплантацією), локальне окиснювання або локальна епітаксія.

Кожний із цих процесів супроводжується відповідним масопереносом речовини в бік підкладки або від неї, тому оброблювані локальні області підкладки повинні бути відкритими для масообміну напівпровідника й технологічного середовища (потіку іонів легуючого матеріалу, протравлювачів тощо). Такий доступ забезпечується наявністю відповідних вікон у захисних масках. Процеси локальної обробки можуть бути гарячими або холодними, сухими або мокрими. Легування дифузією – процес гарячий, а іонної імплантації (уведення легуючої домішки шляхом бомбардування підкладки потоком її іонів, розігнаних в електростатичному полі) – холодний. Хімічне травлення – мокрий процес, а іонно-плазмовий – сухий.

Маски для проведення операцій легування й локальної епітаксії на кремнієвій підкладці виконують окиснюванням кремнію з подальшим локальним травленням SiO_2 , а маски для обробки арсенідгалієвих підкладок – осадженням на них нітриду кремнію з подальшим локальним травленням, маски для локального окиснювання кремнію виконують із нітриду кремнію (Si_3N_4). Названі маски одержують шляхом локального травлення, для чого на підкладці, покритій захисним шаром SiO_2 або Si_3N_4 , формують маски на основі фоторезисту. Протравленням розкривають вікна в захисному шарі масок. Легування виконують або дифузією, або іонною імплантацією легуючої домішки.

Існує ряд методів легування дифузією. Найпоширенішою є дифузія в незамкненому об'ємі (спосіб відкритої труби або спосіб дифузії з газоносієм). Процес зазвичай проходить при температурі підкладок в інтервалі 900...1100 °C.

Суть дифузії в незамкненому об'ємі полягає в такому. У трубці створюється сильний потік інертного газу (наприклад, азоту). Під час осадження домішок через джерело дифузанта або над ним пропускається слабкий потік азоту. Як дифузанти найчастіше застосовують сполуки фосфору й бору, такі, наприклад, як POCl_3 , PH_3 , BBr_3 , B_2H_3 . При цьому в потік газу-носія вводиться невелика кількість кисню. На межі кремнію відбувається окислювально-відновна реакція з виділенням атомарного бору або фосфору, який дифундує в підкладку.

У процесі легування дуже важливо точно витримувати заданий профіль розподілу домішок у напівпровіднику. Тільки за рахунок цього

забезпечуються задана ширина бази, а також задані профілі емітерного й колекторного переходів. Саме ці параметри впливають на функціональні характеристики біполярних транзисторів. Процес легування має дві стадії: заганяння й розганяння. *Заганяння* виконується при безперервному надходженні дифузанта на поверхню підкладки й призначене для введення домішок у кристал, *розганяння* – без надходження дифузанта й призначене для забезпечення необхідного профілю розподілу домішок. При легуванні іонною імплантацією заганяння домішки відбувається за рахунок енергії іонів, розігнаних електричним полем на задану глибину (ядро потоку). Після розганяння профіль розподілу має бочкоподібний вигляд.

Під час виготовлення напівпровідникових ІС на підкладці створюється епітаксіальний шар (ЕШ) завтовшки 3...10 мкм необхідного типу провідності. Цей шар є найважливішим, оскільки в ньому формуються всі елементи ІС.

Епітаксія – процес орієнтованого нарощування монокристалічного шару напівпровідника (частіше n-провідності на p-підкладку). Унаслідок цього фаза, що утворилася, закономірно продовжує кристалічні ґрати наявної фази підкладки з утворенням деякого перехідного шару.

Розрізняють два види епітаксії – аутоепітаксію й гетероепітаксію. У першому випадку вирощується шар такої самої речовини, що й речовина підкладки (n-Si – p-Si), у другому – речовини шару й підкладки різні (кремній на сапфірі).

Існує три методи одержання епітаксіальних шарів:

- а) з парогазової суміші (ПГС);
- б) з рідкої фази;
- в) молекулярно-променева епітаксія.

Конструктивно-топологічні типи активних і пасивних елементів

Дві основні структурні групи мікросхем, які суттєво відрізняються одна від одної типом транзисторів, а тому й топологічно-технологічними рішеннями, мають безліч типових структурних схем. Послідовне поліпшення структури транзисторів мікросхем показано на рис. 2.1.

На рис. 2.1, а, б зображено класичну структуру дифузійного біполярного транзистора n-p-n-типу, який формується в монокристалічній підкладці кремнію p-типу (КДВ – кремній дірковий, легований бором) з питомим опором 5...10 Ом·см завтовшки 300 мкм. Структура виготовляється послідовною дифузією легуючих елементів для формування колекторної, базової, емітерної та колекторної n⁺-зон. Останнім формується шар металізації внутрішньосхемних з'єднань.

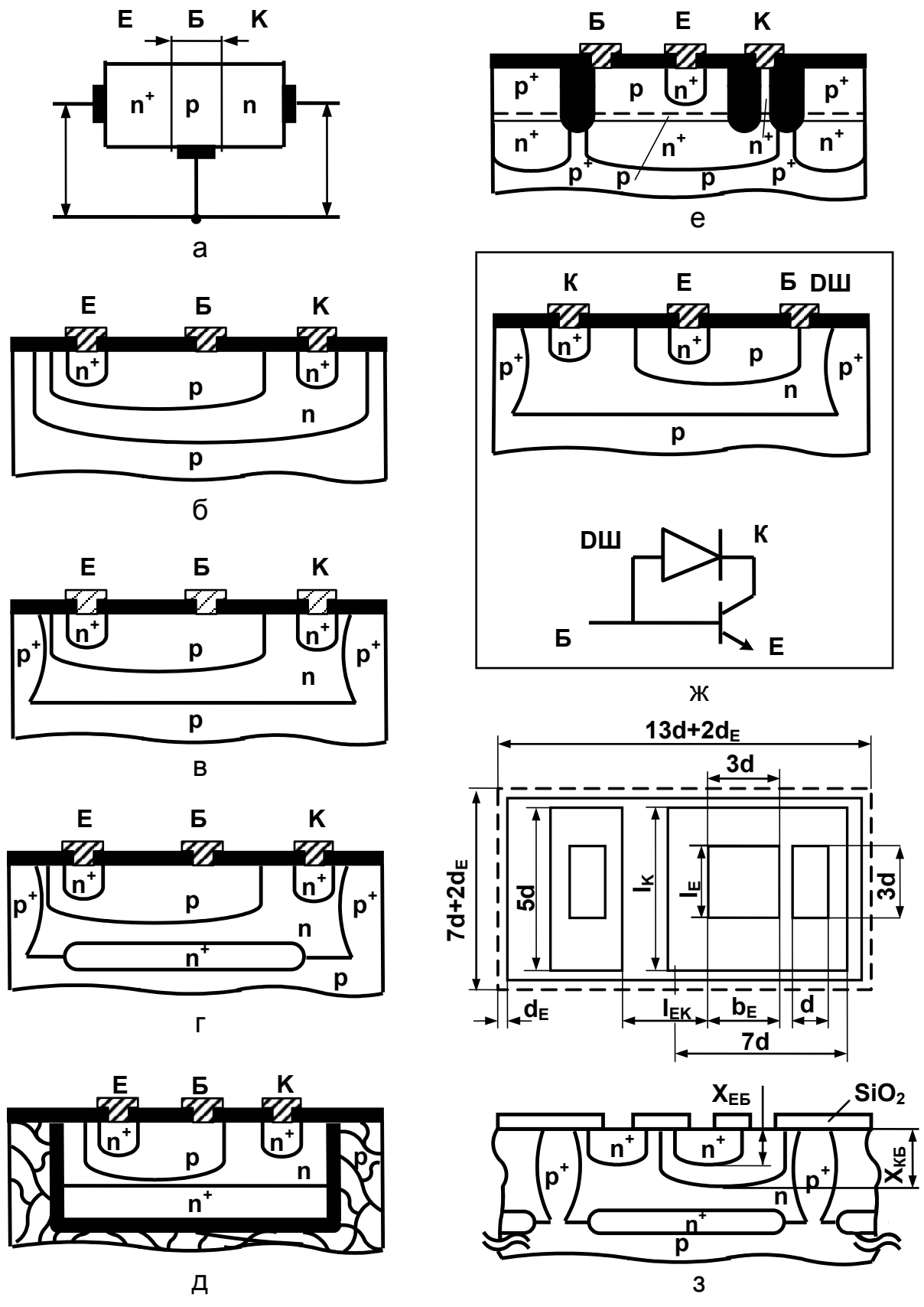


Рис. 2.1. Структура транзисторів мікросхем

Більш прогресивною стала планарно-епітаксіальна технологія (рис. 2.1, в). Епітаксіальний шар має товщину 3...10 мкм і питомий опір 0,5...1 Ом·см, який досягається дифузією донорних домішок.

Наступним кроком розвитку технології мікросхем стало введення заглибленого шару з високою концентрацією носіїв n^+ на межі підкладки р-типу й епітаксіального шару Si. Заглиблений шар легується миш'яком або сурмою до низьких рівнів питомого опору, що зменшує опір колекторної області й збільшує крутість вихідної характеристики.

Важливим елементом структури є ізоляція зони розміщення транзистора в кристалі напівпровідникової підкладки. На рис. 2.1, в, г показано ізоляцію зворотно зміщеними р-п-переходами за рахунок формування p^+ -областей до глибини епітаксіального шару. Ізоляція необхідна для запобігання паразитним зв'язкам між елементами мікросхеми. Для такої ізоляції необхідний постійний зміщуючий потенціал на підкладці. Зворотно зміщений перехід має високий електричний опір. Таким чином, зона напівпровідника, у якій формуються емітер, база й колектор, обмежена р-п-переходом.

Більш надійною є ізоляція кармана транзистора шаром діелектрика SiO_2 у матриці полікремнію (рис. 2.1, д). Якість таких мікросхем більш висока за рахунок підвищення опору на кілька порядків і зменшення ємності шару діелектрика порівняно з р-п-переходом. Така структура має високий ступінь інтеграції, але є більш складною у виробництві.

Проміжним варіантом є транзистори з комбінованою ізоляцією (рис. 2.1, е). У такій структурі бічна ізоляція виконується діелектриком SiO_2 у щілині, що проникає на глибину епітаксіального шару. Від підкладки активна область ізолюється р-п-переходом. Під ізолюючою щілиною формується зона з підвищеною концентрацією акцепторів p^+ , що запобігає шунтуванню.

У мікросхемотехніці широко використовуються транзистори, шунтовані діодом Шотки (ДШ), що сприяє підвищенню їхніх частотних характеристик (рис. 2.1, ж).

Типову топологію біполярного планарно-епітаксіального транзистора зображено на рис. 2.1, з. Величина параметра d залежить від методу літографії.

Робоча зона транзистора починається безпосередньо під емітерною зоною. Для забезпечення необхідного колекторного струму при мінімальному послідовному спаданні напруги колекторний контакт розташовують якнайближче до емітерного.

Мінімальні горизонтальні розміри приладу визначаються двома основними технологічними факторами: мінімально досяжними при фотолітографії розмірами вікон в окисі кремнію й зазорами між вікна-

ми; розміром бічної дифузії під окис. Тому, проектуючи транзистор, слід урахувувати, що відстань між базовою областю й колекторним контактом має бути значно більшою від суми розмірів області бічної дифузії р-бази й n^+ -області під колекторним контактом. Призначення цієї n^+ -області полягає в забезпеченні надійного формування непрямого контакту алюмінію до слабколегованої області колектора, оскільки Al є акцепторною домішкою в кремнії з розчинністю порядку 10^{18} см^{-3} при температурі формування контакту. Рівень же легування епітаксialного n-шару, що є тілом колектора, зумовлений необхідністю збільшення напруги пробою переходу колектор – база й дорівнює $10^{15} \dots 10^{16} \text{ см}^{-3}$. Відстані між ізолювальною р-областю й елементами транзистора визначаються також розміром бічної дифузії. Вони мають приблизно дорівнювати товщині епітаксialного шару.

Дві типові конструкції інтегральних транзисторів зображено на рис. 2.2. Для асиметричної конструкції (рис. 2.2, а) характерним є те, що колекторний струм підходить до емітера тільки з одного боку. При симетричній конструкції (рис. 2.2, б) колекторний струм підходить до емітера із трьох сторін, а опір колектора приблизно втричі менший, ніж при асиметричній конструкції. Розроблення топології металевого розведення транзистора симетричної конструкції є більш легким, оскільки частину колекторної області можна розмістити під окисом, а поверх окису над колектором провести алюмінієву смужку до емітерної (див. рис. 2.2, б) або базової області.

На рис. 2.2, а подано топологічні розміри областей інтегрального біполярного транзистора, типові для ІМС середнього ступеня інтеграції. Параметри цих областей наведено в табл. 2.1. Електрофізичні параметри n-p-n-транзисторів наведено в табл. 2.2.

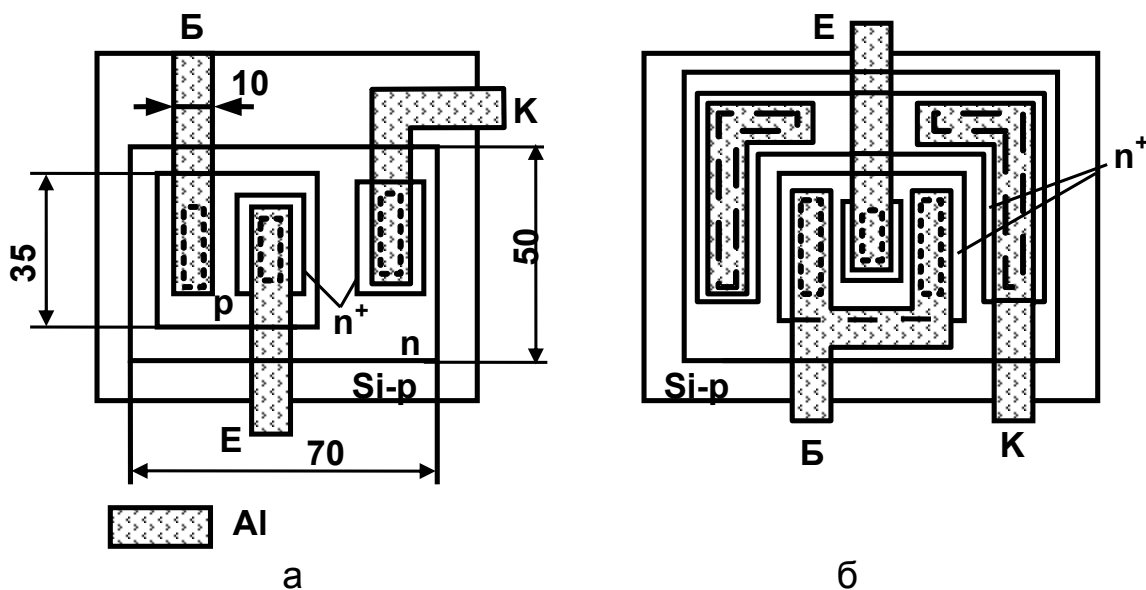


Рис. 2.2. Типові конструкції біполярних транзисторів

Таблиця 2.1

Параметри областей інтегрального транзистора типу n-p-n

Найменування області	Концентрація домішки N , см^{-3}	Товщина шару d , мкм	Питомий об'ємний опір ρ , Ом·см	Питомий поверхневий опір шару ρ_s , Ом/□
Підкладка p-типу	$1,5 \cdot 10^{15}$	200	10	–
Заглиблений n^+ -шар	–	4,00	–	10...30
Колекторна n-область	10^{16}	2,5...10	0,15...5,0	–
Базова p-область	$5 \cdot 10^{18}$	0,5...1,0	–	100...300
Емітерна n^+ -область	10^{21}	1,5...2,5	–	2...15
Ізолювальна область	–	2,5...10	–	6...10
Плівка окису кремнію	–	0,35...1,2	–	–
Металева плівка	–	0,3...0,6	–	0,06...0,1

Таблиця 2.2

Електрофізичні параметри інтегральних транзисторів типу n-p-n

Параметри	Номінал	Допуск δ , %	Температурний коефіцієнт, $1/^\circ\text{C}$
Коефіцієнт підсилення	100...200	± 30	$5 \cdot 10^{-3}$
Гранична частота, МГц	200...500	± 20	
Пробивна напруга $U_{кб}$, В	40...50	± 30	
Пробивна напруга $U_{еб}$, В	7...8	± 5	$(2...6) \cdot 10^{-3}$

Конструкція силових транзисторів має забезпечувати максимальне відношення периметра емітера до його площі. Наприклад, доцільно використовувати вузькі емітери з великим периметром (рис. 2.3).

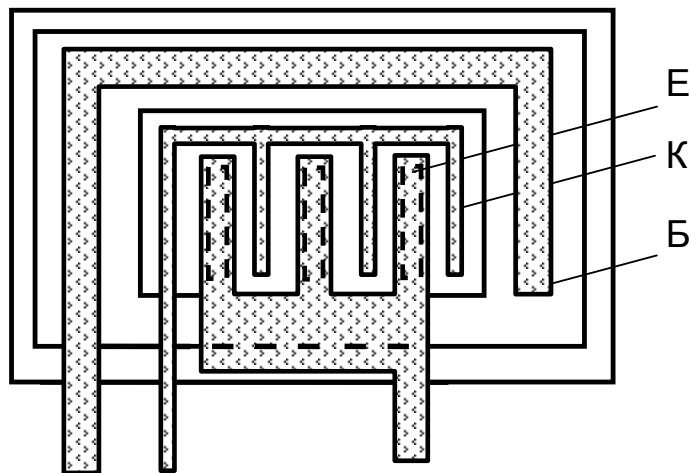


Рис. 2.3. Конструкція силового транзистора

Розглянемо різновиди інтегральних біполярних транзисторів.

Транзистори з тонкою базою мають підвищене значення коефіцієнта підсилення, що є необхідним для створення ряду аналогових ІМС (вхідні каскади операційних підсилювачів). Ширина бази (відстань між емітерними й колекторними переходами) цих транзисторів становить 0,2...0,3 мкм, коефіцієнт підсилення дорівнює 2000...5000 при колекторному струмі 20 мкА і напрузі 0,5 В. Пробивна напруга колектор – емітер становить близько 1,5...2 В.

Багатоемітерні транзистори (БЕТ) широко використовуються в цифрових ІМС транзисторної логіки.

Конструкцію БЕТ зображено на рис. 2.4. Кількість емітерів може становити 5–8. БЕТ можна розглядати як сукупність транзисторів зі спільними базами й колекторами. Під час їх конструювання слід урахувувати такі обставини. Для запобігання дії паразитних горизонтальних $n^+ - p - n^+$ -транзисторів відстань між краями сусідніх емітерів має перевищувати дифузійну відстань носіїв заряду в базовому шарі. Якщо структуру леговано золотом, то дифузійна довжина $L_{диф} \leq 2...3$ мкм і достатньо зробити зазначену відстань 10...15 мкм. Для зменшення паразитних струмів через емітери при інверсному під'єднанні БЕТ штучно збільшують опір пасивної області бази, віддаляючи базовий контакт від активної області БЕТ так, щоб опір перехідка, який з'єднує базовий контакт з областю бази, дорівнював 200...300 Ом.

Багатоколекторні транзистори (БКТ) – це практично БЕТ, що використовуються в інверсному режимі. Спільним емітером є епітаксіальний шар, а колекторами – n^+ -області малих розмірів (рис. 2.5). Така структура є основою ІМС інтегральної інжекційної логіки (I^2L).

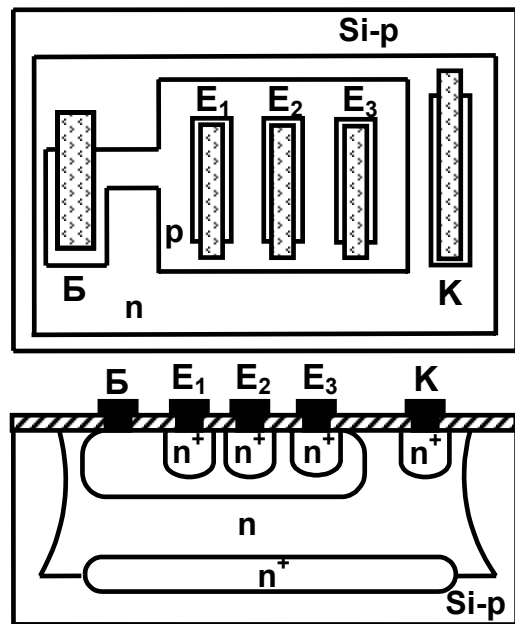


Рис. 2.4. Багатоемітерні транзистори

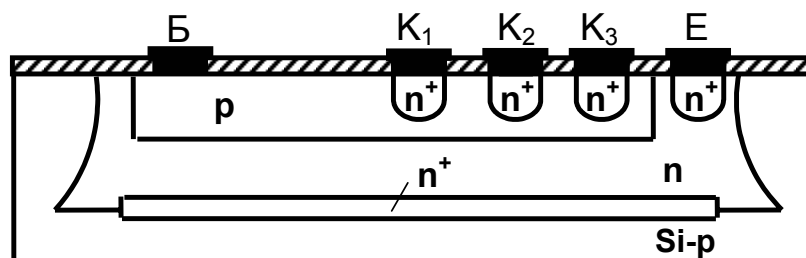


Рис. 2.5. Багатоколекторні транзистори

Головною проблемою під час конструювання БКТ є забезпечення достатньо високого коефіцієнта підсилення з розрахунку на один колектор, для чого заглиблений n^+ -шар слід розміщувати якнайближче до базового шару, а n^+ -колектори – якнайближче один до одного.

Транзистори типу p - n - p суттєво поступаються n - p - n -транзисторам за коефіцієнтом підсилення й граничною частотою. Для їх виготовлення використовують стандартну технологію формування транзисторів типу n^+ - p - n . Зрозуміло, що отримати транзистори типу p - n - p з параметрами, близькими до теоретичних, у цьому випадку неможливо.

Горизонтальні транзистори типу p - n - p (рис. 2.6) використовуються найбільш часто. Їх виготовляють одночасно з n^+ - p - n -транзисторами за звичайною технологією.

Емітерний і колекторний шари отримують на етапі базової дифузії, причому колекторний шар охоплює емітер з усіх боків. Базова область формується на основі епітаксialного шару з підлегванням контактної області під час емітерної дифузії.

Перенесення носіїв заряду відбувається в горизонтальному напрямку. Дірки, інжектвані з бокових частин емітера в базу, дифундують у колекторну область. Найбільш ефективним є перенесення в приповерхневій області, оскільки тут відстань між колектором та емітером мінімальна, а концентрація домішок в p -шарах максимальна.

Ширина бази дорівнює 3...4 мкм (заважає бокова дифузія під маску), унаслідок чого коефіцієнт підсилення становить 50, а частота – 20...40 МГц.

Для зниження впливу паразитних p - n - p -транзисторів (p – емітер, n – епітаксialний шар, p – підкладка) намагаються зменшити площу донної частини емітера (його роблять якомога вузьким).

На основі горизонтального легко сформувати БКТ типу p - n - p (рис. 2.7).

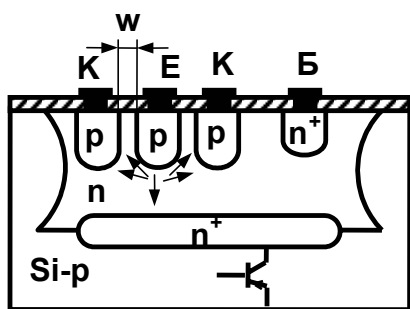
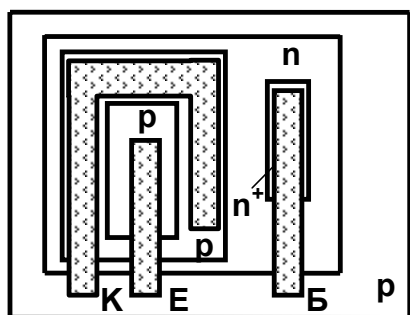


Рис. 2.6. Горизонтальний p - n - p -транзистор

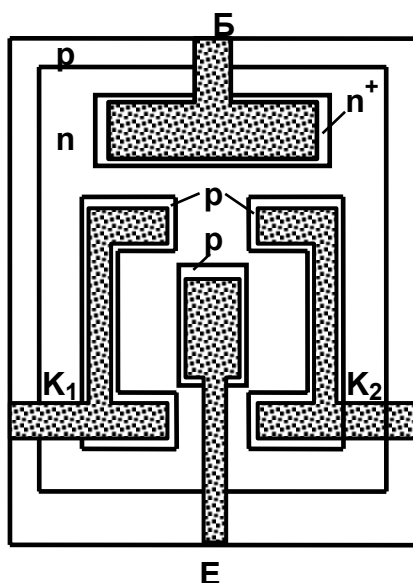


Рис. 2.7. Багатоколекторний p - n - p -транзистор

Основні недоліки горизонтального транзистора типу р-п-р – порівняно велика ширина бази й неоднорідність розподілу домішок у ній (транзистор є бездрейфовим).

Структуру *вертикальних транзисторів типу р-п-р* показано на рис. 2.8. Для її формування необхідно змінити технологію: провести більш глибоку дифузію для формування р-шару й додати операцію дифузії для створення р⁺⁺-шару, для чого потребується акцепторна домішка з граничною розчинністю, більшою, ніж гранична розчинність донорної домішки в п⁺-шарі. Фактично перед проведенням дифузії акцепторів доводиться стравлювати найбільш леговану частину п⁺-шару, тобто здійснювати ще одну додаткову операцію.

Складені інтегральні транзистори можуть бути реалізовані на основі двох транзисторів одного або різних типів, розташованих в одній ізолювальній області.

На рис. 2.9 зображено транзисторну структуру, у якій залежно від схеми з'єднань можуть бути реалізовані складені транзистори із двох транзисторів типу п-р-п зі спільним колектором або з вертикального транзистора типу п-р-п і горизонтального транзистора типу р-п-р.

Складений транзистор має коефіцієнт підсилення, що дорівнює добутку коефіцієнтів підсилення транзисторів, з яких він складається:

$$B = B_1 B_2.$$

Швидкодія складеного транзистора визначається найменш швидкодіючим транзистором.

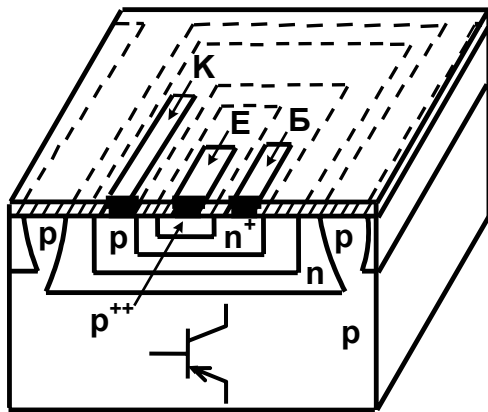


Рис. 2.8. Вертикальний транзистор типу р-п-р

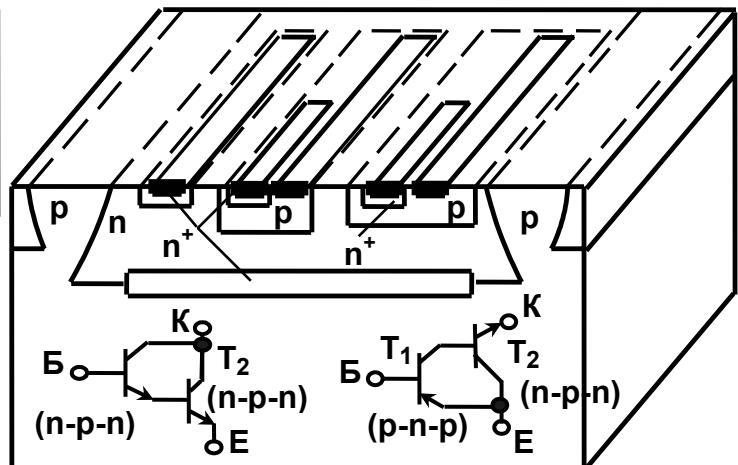


Рис. 2.9. Складений транзистор

Інтегральні діоди. Будь-який з р-п-переходів планарно-епітаксальної структури може бути використаний для формування діодів, але тільки переходи база – емітер і база – колектор є дійсно зручними для схемних застосувань.

П'ять можливих варіантів діодного під'єднання інтегрального транзистора показано на рис. 2.10: а – перехід база – емітер з колектором, закороченим на базу; б – перехід колектор – база з емітером, закороченим на базу; в – паралельне з'єднання обох переходів колом колектора; г, д – перехід база – колектор з розімкненим колом емітера.

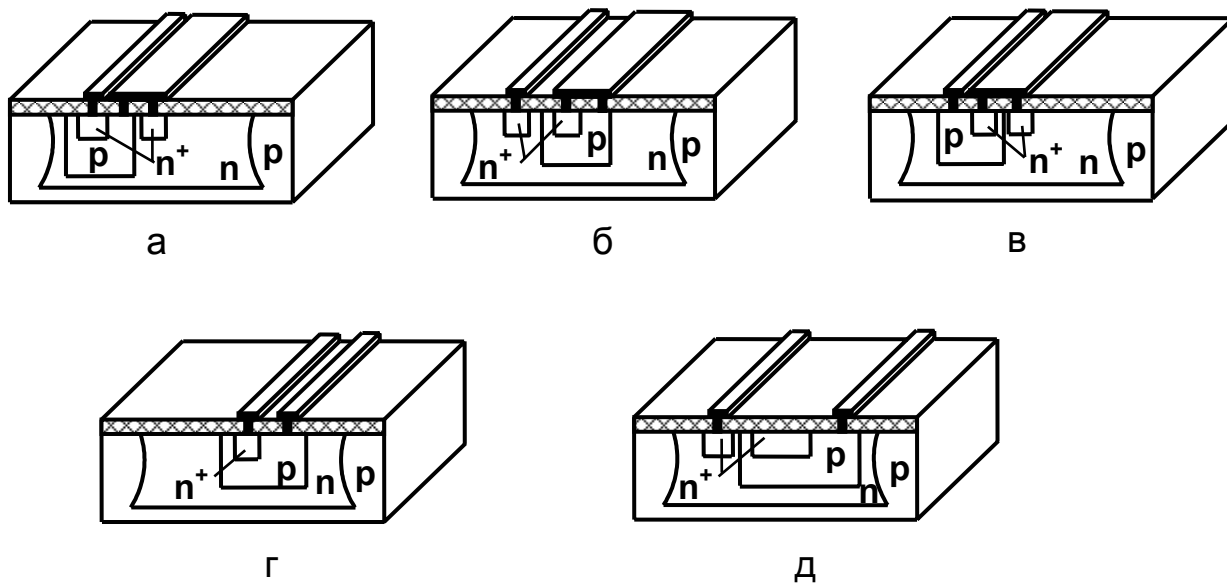


Рис. 2.10. Варіанти діодного під'єднання інтегрального транзистора

Електричні параметри інтегральних діодів наведено в табл. 2.3.

Таблиця 2.3

Параметри інтегральних діодів

Варіант під'єднання	Параметри				
	Пробивна напруга U , В	Зворотний струм, мА	Ємність діода, пФ	Паразитна ємність, пФ	Час відновлення зворотного струму, мкс
БК–Е	7...8	0,5...1	0,5	3	10
БЕ–К	40...50	15...30	0,7	3	50
Б–ЕК	7...8	20...40	1,2	3	100
Б–Е	7...8	0,5...1	0,5	1,2	50
Б–К	10...50	15...30	0,7	3	75

Аналізуючи таблицю, бачимо, що варіанти під'єднання мають різні електричні параметри.

Більші пробивні напруги $U_{пр}$ характерні для варіантів з колекторним переходом, а менші зворотні струми $I_{зв}$ – для варіантів тільки з емітерним переходом, що має найменшу площу.

Ємність діода між катодом та анодом C_0 є максимальною у випадку з'єднання з найбільшою площею переходів (Б–ЕК).

Найменшу паразитну ємність на підкладку C_0 має з'єднання Б–Е (уважається, що підкладку заземлено).

Час відновлення зворотного струму t , що характеризує час перемикання діода з відкритого стану в закритий, мінімальним є у випадку варіанта БК–Е, оскільки тут заряд накопичується тільки в базі.

Оптимальними для ІМС варіантами діодного з'єднання є БК–Е та Б–Е, причому частіше використовується БК–Е. Пробивні напруги (7...8 В) достатні для використання цих варіантів у низьковольтних ІМС.

Інтегральні резистори. Резистори ІМС можна формувати в кожному з дифузійних шарів транзисторної структури (емітерній і базовій областях), в епітаксiальному шарі (колекторній області) і шляхом іонного легування.

Розглянемо різновиди інтегральних резисторів.

Дифузійні резистори (ДР) виготовляють одночасно з базовою (рис. 2.11) або емітерною областю.

Опір ДР являє собою об'ємний опір ділянки дифузійного шару, обмеженого р-п-переходом, і визначається геометричними розмірами резистивної області й розподілом домішки по глибині дифузійного шару, який характеризується питомим поверхневим опором ρ_s . Значення ρ_s є конструктивним параметром резистора, що залежить від технологічних факторів (режиму дифузії). Створюючи ІМС, параметри дифузійних шарів оптимізують з метою одержання найкращих характеристик транзисторів типу n-p-n, тому параметри ДР покращують не варіюванням технологічних режимів, а вибором конфігурації й геометричних розмірів резистора.

Типи конфігурації дифузійних резисторів зображено на рис. 2.12.

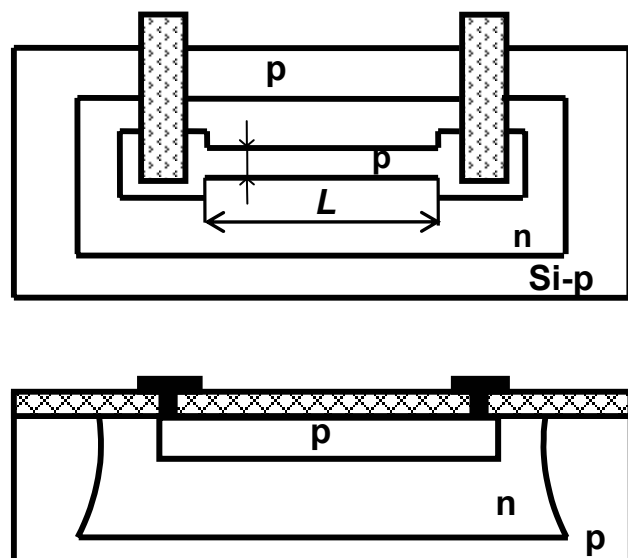


Рис. 2.11. Конструкція дифузійного резистора на основі базової області

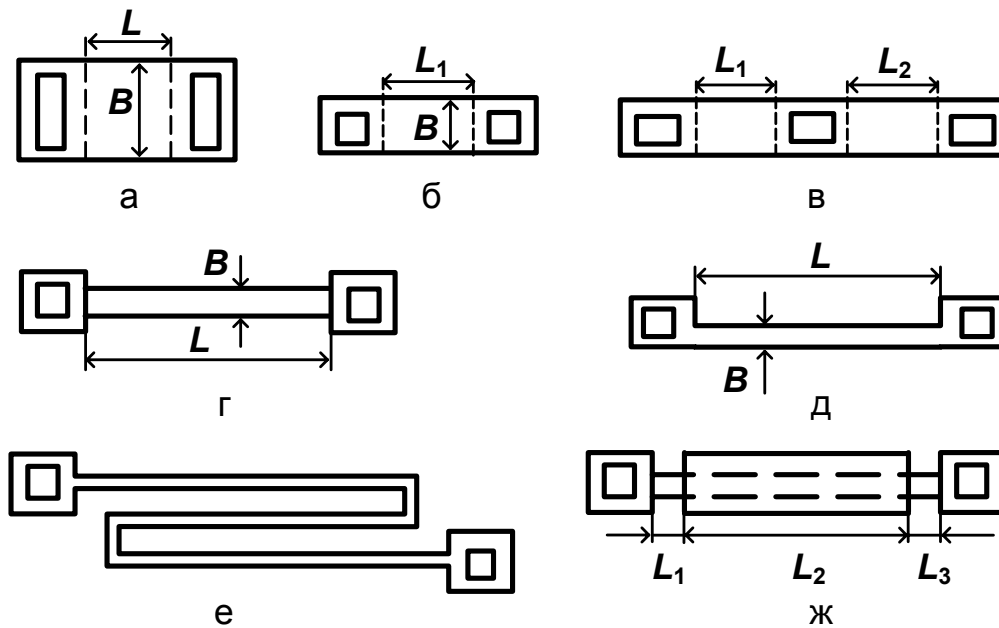


Рис. 2.12. Типи конфігурації дифузійних резисторів

Низькоомні (десятки омів) резистори (рис. 2.12, а) мають мале відношення L/B . Форму й розміри контактів до них вибирають такими, щоб опір приконтактних областей був значно меншим від опору основної області резистора.

Резистори з опором від сотень омів до одиниць кілоомів мають такий вигляд, як зображено на рис. 2.12, б, в. Тут довжина й ширина приконтактної області дорівнюють ширині резистора.

Топологію, показану на рис. 2.12, г, д, використовують для створення високоомних резисторів (до 20 кОм). Ці резистори мають порівняно малу ширину, розміри приконтактних областей визначаються можливостями технології створення надійного контакту провідних алюмінієвих смужок з напівпровідниковим матеріалом.

Ще більш високоомні резистори (до 60 кОм) мають форму меандру (рис. 2.12, е). Високоомними є й пінч-резистори (рис. 2.12, ж), які виготовляються з донної частини базової області.

Довжина односмугового дифузійного резистора не може перевищувати розмірів активної області кристала (1...5 мм), ширина обмежується мінімальною шириною вікна під дифузію, обумовленою можливостями фотолітографії (2,5...3 мкм), і бічною дифузією (відхід домішки під окис приблизно дорівнює глибині дифузійного р-п-переходу). Типові значення опору дифузійних резисторів, які можна одержати при даному значенні ρ_s , такі: $4\rho_s < R < 10\rho_s$. Нижня межа обмежується опорами приконтактних областей, верхня – припустимою площею, що відводиться під резистор.

Максимальний опір ДР на основі базової області дорівнює близько 60 кОм, якщо площа, відведена під резистор, не більше 15 % від площі кристала. Відтворюваність номінальних значень опору зазвичай становить 15...20 % і залежить від ширини ДР. Відхилення від номіналів опорів резисторів, розташованих на одному кристалі, за рахунок неточностей технології мають такий самий знак, тому відношення опорів зберігається з високою точністю. Цю особливість дифузійних резисторів урахувують під час розроблення напівпровідникових ІМС.

На основі емітерної області формують резистори невеликих номіналів (3...100 Ом), оскільки значення ρ_s емітерного шару невелике.

Пінч-резистори. Якщо в ІМС необхідно створити резистори з опором більше 60 Ом, то застосовують пінч-резистори (канальні, стиснені, закриті). Їх формують на основі донної слаболегованої базової області, що має більший опір і меншу площу перерізу (рис. 2.13, 2.14).

Пінч-резистори мають великий розкид номіналів (до 50 %) через труднощі одержання точних значень товщини донної частини р-шару. Їх максимальний опір при найпростішій смуговій конфігурації та $\rho_s = 2...5$ кОм/□ становить 200...300 кОм.

Епітаксіальні резистори (EP). Із трьох областей транзистора колекторна має найменшу концентрацію домішок й максимальне значення ρ_s (0,5...5 кОм/□). Оскільки епітаксіальний шар легований однорідно, провідність EP постійна по всьому перерізу на відміну від ДР. Поперечний переріз EP за формою істотно відрізняється від перерізів ДР. Епітаксіальні резистори мають високу напругу пробою (більше 100 В) і великий ТКР, оскільки колекторна область легована слабо.

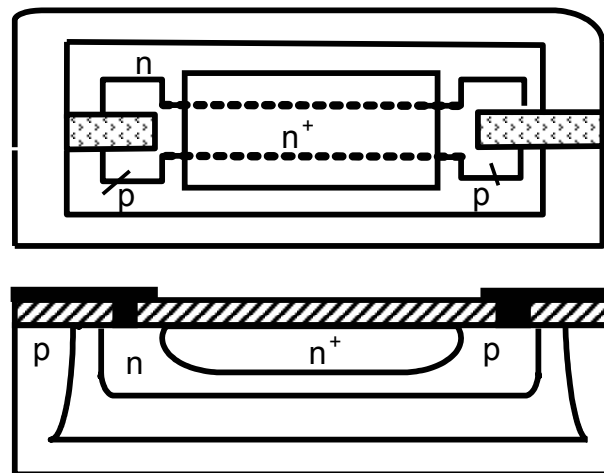


Рис. 2.13. Конструкція пінч-резистора

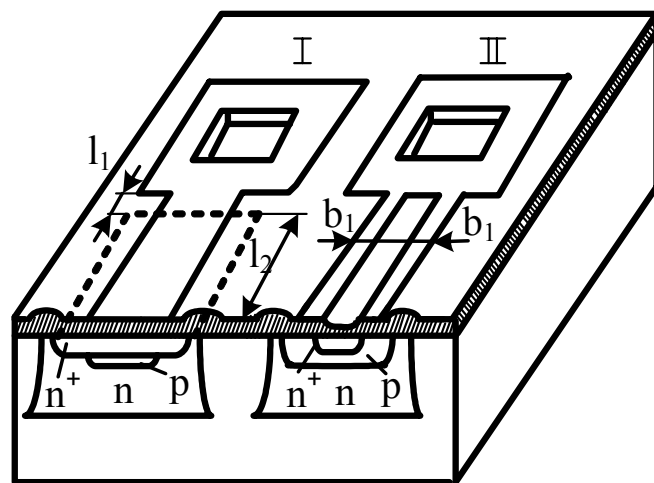


Рис. 2.14. Пінч-резистор на основі базової області з використанням емітерної дифузії: I – закритий, II – напівзакритий

Типові характеристики інтегральних резисторів наведено в табл. 2.4.

Таблиця 2.4

Характеристики інтегральних резисторів

Тип резистора	Товщина шару, мкм	Поверхневий опір ρ_s , Ом/□	Допуск, %	TKR (α_R), $10^{-3}/^{\circ}\text{C}$	Паразитна ємність, пФ/мм ²
Дифузійний резистор на основі базової області	2,5...3,5	100...300	$\pm(5...20)$	$\pm(0,5...3)$	150...350
Пінч-резистор	0,5...1,0	$(2...15) \cdot 10^3$	± 50	$\pm(1,5...3)$	1000... ...1500
Дифузійний резистор на основі емітерної області	1,5...2,5	1...10	± 20	$\pm(0,1......0,5)$	1000... ...1500
Епітаксiальний резистор	3...10	$(0,5...5) \cdot 10^3$	$\pm(15......25)$	$\pm(2...4)$	80...100
Іонно-легований резистор n -типу	0,1...0,2	$(5...0) \cdot 10^2$	± 50	$\pm(1...5)$	200...350

Інтегровані конденсатори. В інтегрованих напівпровідникових конденсаторах функції діелектрика можуть виконувати збіднені шари назад зміщених p - n -переходів або плівка окису кремнію, функції обкладок – леговані напівпровідникові області або напилені металеві плівки. Характеристики конденсаторів напівпровідникових ІМС невисокі, крім того, для одержання порівняно великих ємностей потребується значна площа схеми. Тому, проектуючи електричну схему напівпровідникової ІМС, прагнуть уникати застосування конденсаторів.

Дифузійні конденсатори. В ІМС для формування дифузійних конденсаторів (ДК) може бути використаний кожний із p - n -переходів (рис. 2.15): колектор – підкладка (С1), база – колектор (С2), емітер – база (С3), перехід p -області ізолювальної дифузії й заглибленого n^+ -шару (С4). Варіанти С1 і С4 не можуть бути реалізовані в ІМС із діелектричною ізоляцією.

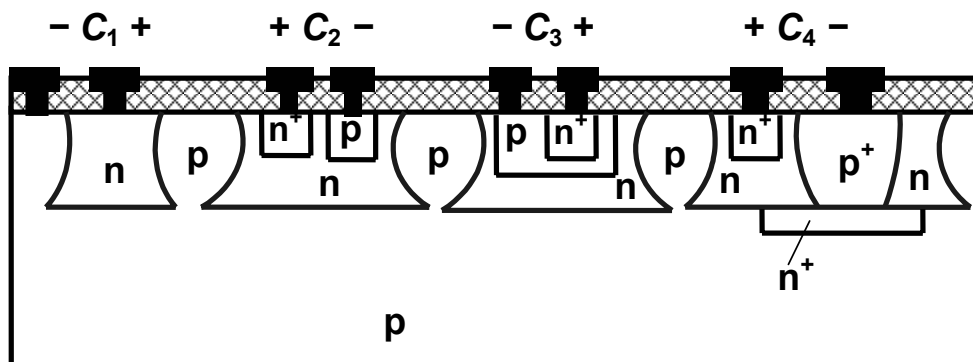


Рис. 2.15. Топологія дифузійного конденсатора

У близькій до реальної напівпровідниковій структурі (рис. 2.16) з питомим опором підкладки 10 Ом·см, опором шару бази 200 Ом/□ і опором шару емітера 2 Ом/□ при глибинах р-п-переходів емітер – база 2,3 мкм, база – колектор 2,7 мкм і колектор – підкладка 12,5 мкм ДК мають такі характеристики:

– питома ємність дна р-п-переходу колектор – підкладка 100 пФ/мм², питома ємність бічної стінки 250 пФ/мм²; пробивна напруга переходу до 100 В;

– питома ємність р-п-переходу база – колектор 350 пФ/мм², пробивна напруга переходу 30...70 В;

– питома ємність дна р-п-переходу емітер – база 600 пФ/мм², бічної стінки 1000 пФ/мм²; пробивна напруга переходу 7 В.

Найбільшу питому ємність (більше 1000 пФ/мм²) має р-п-перехід: область ізолювальної р-дифузії – підколекторний n⁺-шар, його пробивна напруга 10 В. ТКЄ конденсаторів на цьому переході порівняно великий (2·10⁻⁴ 1/°С). Оскільки ширина збідненого шару зміщеного назад переходу залежить від напруги, ємність ДК також змінюється зі зміненням напруги.

У табл. 2.5 наведено значення питомої ємності переходів інтегрального транзистора з заглибленим шаром і без нього, з підкладкою р-типу (ρ = 5 Ом·см), гаусовим розподілом домішок в базі (ширина 0,7 мкм) і розподілом домішки в емітері за функцією помилок.

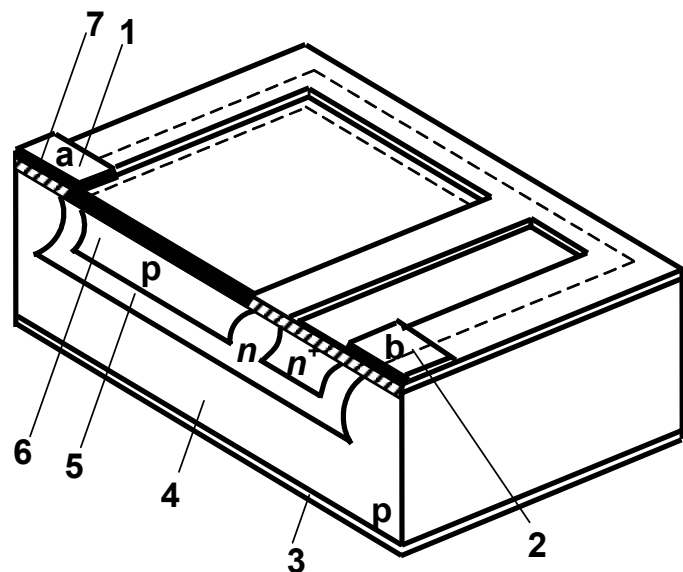


Рис. 2.16. Конструкція конденсатора:

1, 2 – алюмінієві виводи від верхньої та нижньої обкладок; 3 – плівка золота (контакт до підкладки); 4 – підкладка р-типу; 5 – колекторна n-область (нижня обкладка); 6 – базова р-область (верхня обкладка); 7 – захисна плівка окису кремнію

Таблиця 2.5

Значення питомої ємності переходів інтегрованого транзистора

U, В	C _{еб} , пФ/мм ²	C _{бк} , пФ/мм ²	C _{кп} , пФ/мм ²	C _{кп} (без n ⁺ -шару), пФ/мм ²
0	1400	300	280	190
5	1000	120	90	60
10	–	90	55	40

Емітерний перехід має найбільшу питому ємність, але малу пробивну напругу й добротність. Базовий перехід використовується для формування ДК найбільш часто. Параметри дифузійних конденсаторів на цих переходах наведено в табл. 2.6. Значення максимальної ємності дано орієнтовно в припущенні, що площа всіх конденсаторів ІМС не перевищує 20–25 % площі кристала. Недоліком ДК є необхідність забезпечення певної полярності (див. рис. 2.15), тому що умовою їхньої нормальної роботи є зворотне зміщення р-п-переходу.

Таблиця 2.6

Параметри інтегрованих конденсаторів

Тип конденсатора	Питома ємність C_0 , пФ/мм ²	Максимальна ємність C_{max} , пФ	Допуск δ , %	$TK\epsilon \cdot 10^3$, °C ⁻¹	Пробивна напруга, В
ДК на переходах:					
Б–К	150 (350)	330	± (15...20)	-1,0	33...70
Е–Б	600 (1000)	1200	±23	-1,0	7...8
К–П	100 (250)	–	±(15...20)	–	35...70
МДН з діелектриком:					
SiO ₂	400...600	530	± 23	0,015	33...53
Si ₃ N ₄	800...1600	1200	± 20	0,01	50
Тонкоплівкові з діелектриком:					
SiO ₂	500...800	650	± 20	± 3	20...40

Конструкцію *МДН-конденсаторів* (метал – діелектрик – напівпровідник) зображено на рис. 2.17. Нижньою обкладкою є емітерний n^+ -шар, верхньою – плівка Al, діелектриком – тонкі шари SiO₂ або Si₃N₄. Товщина діелектрика становить 0,05...0,12 мкм. Параметри МДН-конденсаторів наведено в табл. 2.6.

Недоліком МДН-конденсаторів у складі біполярних ІМС є необхідність здійснення додаткової операції – формування тонкого шару діелектрика і ще однієї фотолітографії.

Тонкоплівкові МДМ-конденсатори. У гібридних ІМС можна сформуванати плоскі мініатюрні МДМ-конденсатори, що складаються із двох металевих шарів, розділених шаром діелектрика. Як обкладки використовують Al або Ta, у першому випадку діелектриком є Al₂O₃, у другому – Ta₂O₅.

Діелектрична стала Ta₂O₅ на порядок вища, ніж діелектрична стала більшості діелектриків, але окис танталу не застосовують в ІМС, що працюють при високих частотах.

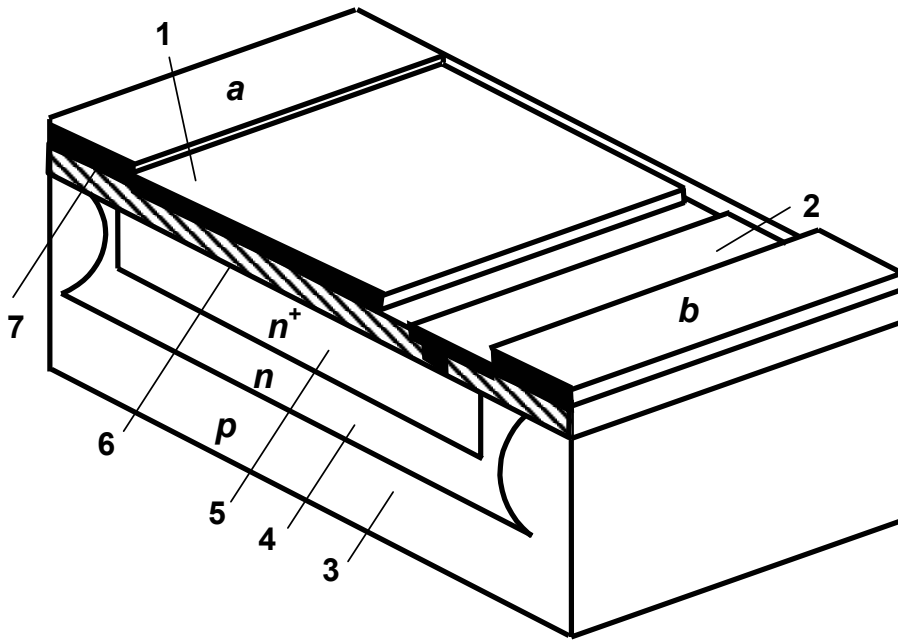


Рис. 2.17. Конструкція МДН-конденсатора:
 1 – верхня обкладка; 2 – алюмінієвий вивід від нижньої обкладки;
 3 – підкладка р-типу; 4 – колекторна n-область; 5 – n⁺-шар (нижня обкладка); 6 – тонкий шар окису (діелектрик); 7 – товстий шар окису

МДМ-конденсатори, так само як і МДН-конденсатори, працюють при будь-якій полярності. Їхнім недоліком порівняно з дифузійними конденсаторами є необоротна відмова у випадку пробією діелектрика.

З'єднання й контактні площадки. Елементи ІМС електрично з'єднані між собою за допомогою алюмінієвої розводки завтовшки до 0,8 мкм. Якщо в одношаровій розводці не вдається уникнути перетинань, то застосовують дифузійні перемички (рис. 2.18).

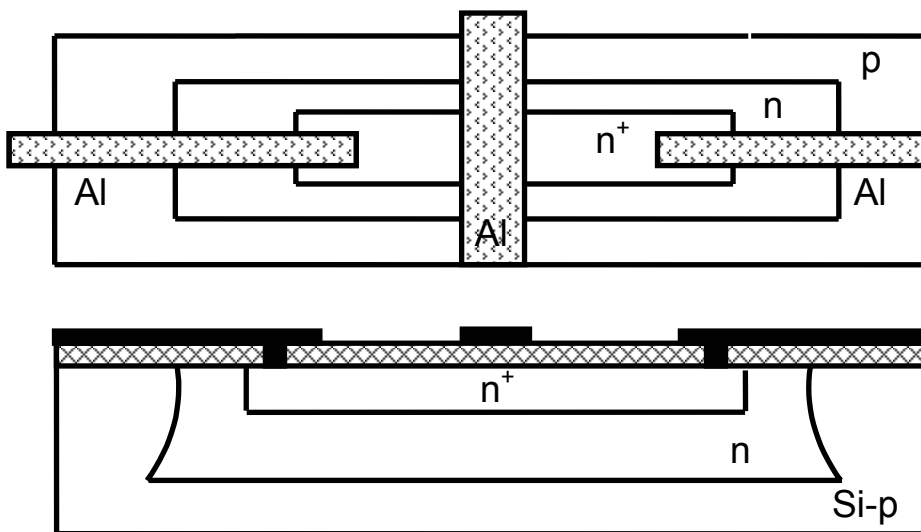


Рис. 2.18. Конструкція дифузійної перемички

Йдеться про ізоляцію двох взаємно перпендикулярних провідників, перший з яких розміщений поверх захисного шару окису, другий – під ним у вигляді ділянки n^+ -шару. Ця ділянка має відчутний опір (3...5 Ом), вносить додаткову паразитну ємність і займає більшу площу (для неї потребується окрема ізолювальна область), тому дифузійною перемичкою користуються дуже рідко. Дифузійні перемички не використовують в колах живлення, у яких протікають достатньо великі струми.

Контактні площадки (КП) розташовують по периферії напівпровідникового кристала (рис. 2.19).

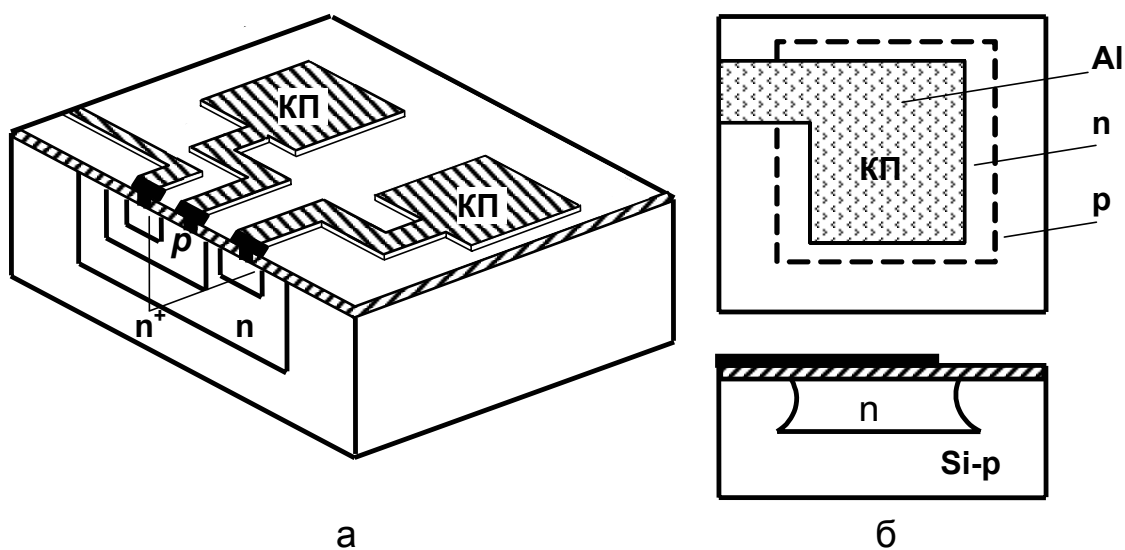


Рис. 2.19. Конструкція з'єднання (а) і контактної площадки (б) ІМС

Особливості топології ІМС

Основою для розроблення топології ІМС є електрична схема, вимоги до електричних параметрів і до параметрів активних і пасивних елементів, конструктивно-технологічні вимоги й обмеження.

Розроблення креслення топології складається з таких етапів: вибір конструкції й розрахунок елементів ІМС; розміщення елементів на поверхні й в об'ємі підкладки й створення рисунка комутації між елементами; розроблення попереднього варіанта топології; оцінювання якості топології та її оптимізація; розроблення остаточного варіанта топології.

Метою конструктора під час розроблення топології є мінімізація площі кристала ІМС, мінімізація сумарної довжини з'єднань і кількості перетинань у ній.

Конструктивно-технологічні обмеження при розробці топології ІМС на біполярних транзисторах. Електрофізичні характерис-

тики напівпровідникових матеріалів, що використовуються у виробництві мікросхем, наведено в табл. 2.7.

Таблиця 2.7

Основні фізичні властивості напівпровідникових матеріалів

Параметр	Одиниця вимірювання	<i>Ge</i>	<i>Si</i>	<i>GaAs</i>	<i>InAs</i>	<i>InSb</i>	
Атомний номер	–	32	14	–	–	–	
Атомна (молекулярна) маса	–	72,59	28,08	144,64	189,74	236,57	
Концентрація атомів N	ат/м ³	$4,42 \cdot 10^{28}$	$5,0 \cdot 10^{28}$	$1,3 \cdot 10^{28}$	–	–	
Густина γ при 300 °С	кг/м ³	5320	2330	5310	5560	5770	
Стала ґратки d при 25 °С	М ⁻¹⁰	5,65	5,43	5,65	6,6	6,48	
Температура плавлення T	°С	936,0	1412,0	1238,0	934,0	525,0	
Діелектрична проникність ϵ	–	16	12	10,9	–	17	
Ширина забороненої зони E_g	0 К	еВ	0,785	1,21	1,52	0,47	0,27
	300 К		0,67	1,11	1,43	0,36	0,18
Концентрація носіїв заряду у власному напівпровіднику при 300 К	М ⁻³	$2,12 \cdot 10^{19}$	$1,5 \cdot 10^{16}$	$8,94 \cdot 10^{12}$	–	$2 \cdot 10^{19}$	
Рухливість носіїв заряду при 300 К	електронів μ_n	м ² /(В·с)	0,39	0,135	0,82	2,7	7,8
	дірок μ_p		0,18	0,048	0,4	0,45	0,075
Коефіцієнт дифузії при 300 К	електронів D_n	м ² /с	$9,3 \cdot 10^{-3}$	$3,5 \cdot 10^{-3}$	$2,22 \cdot 10^{-2}$	–	–
	дірок D_p		$4,4 \cdot 10^{-3}$	$1,3 \cdot 10^{-3}$	$1,1 \cdot 10^{-3}$	–	–

Найважливішою технологічною характеристикою, що визначає горизонтальні розміри областей транзисторів та інших елементів ІМС, є мінімальний геометричний розмір, який може бути впевнено сформований при заданому рівні технології (мінімальна ширина вікна в окисі кремнію, мінімальна ширина провідника, мінімальний зазор між провідниками, мінімальна відстань між краями емітерної й базової областей і т. ін.). Нехай d – мінімальний розмір, який забезпечується технологією. Тоді розміри активних областей і всього транзистора при мінімальній його площі визначаються величинами, наведеними на рис. 2.1, з. Зазор між областю, де розміщується транзистор, та іншими

елементами ІМС більше мінімального розміру d на величину бічної дифузії під окис. Для мінімально допустимого топологічного зазору між двома дифузійними областями необхідно врахувати сумарну допустиму похибку в положенні краю вікон під дифузію за рахунок фотолітографії та максимальну ширину області об'ємного заряду в приладі, що працює.

Порядок виконання роботи

1. Виконати аналіз топології запропонованої мікросхеми із урахуванням її принципової схеми.
2. Позначити активні й пасивні елементи схеми в полі кристала.
3. Виконати ескіз перерізу транзистора, зважаючи на конструктивно-технологічні особливості виготовлення мікросхеми за планарно-епітаксіальною технологією.
4. Визначити можливі ступені легування ділянок транзистора й зобразити профілі легування.
5. Розрахувати площу колектора транзистора. Довідкові дані для розрахунків наведено в табл. 2.7.
6. Навести основні технологічні операції виготовлення мікросхеми й коротко їх охарактеризувати.
7. Оформити звіт про виконання лабораторної роботи, який має містити: аналіз схеми електричної принципової мікросхеми; технічні характеристики мікросхеми; ескіз шару провідників і контактних площадок; аналіз загальної топології мікросхеми; ескіз відокремленої ділянки мікросхеми (ескіз перерізу транзистора); аналіз конструктивно-топологічних рішень та електронних процесів у мікросхемі; розрахунок геометричних розмірів елементів мікросхеми.

Контрольні запитання

1. Класифікація інтегральних схем. Основні ознаки й типи схем.
2. Назвіть основні операції технологічного процесу виготовлення напівпровідникових ІС.
3. Що таке маска? Які маски використовують під час виготовлення ІС?
4. Що таке епітаксіальний шар? Перелічіть його характеристики.
5. Резистори, конденсатори, діоди ІС та особливості їх виготовлення.
6. Біполярні транзистори ІС. Особливості їхньої структури й виготовлення.

Лабораторна робота № 3

НАПІВПРОВІДНИКОВІ МІКРОСХЕМИ НА ОСНОВІ СТРУКТУР МЕТАЛ – ДІЕЛЕКТРИК – НАПІВПРОВІДНИК (МДН)

Мета роботи: вивчення конструктивно-технологічних властивостей МДН-мікросхем.

Завдання: вивчити топологію запропонованої мікросхеми, виконати ескізи шарів, проаналізувати їх і розрахувати елементи.

Основні елементи конструкції та технології їх виготовлення

Сучасна технологія на основі кремнію базується значною мірою на структурах метал – діелектрик – напівпровідник, метал – окис – напівпровідник (МОН) як найбільш простих за структурою й технологією. У мікросхемах використовують структури з індукованим і вбудованим каналами й носіями n- і p-типів.

Сучасний рівень технології мікросхем на основі МОН-транзисторів забезпечує ступінь інтеграції $g > 9$, що практично означає перехід від мікро- до наноелектроніки. Перш за все, це цифрові мікросхеми.

Особливості побудови МДН-мікросхем. Структури метал – діелектрик – напівпровідник, що використовуються як елементи МДН-мікросхем, можуть виконувати функції підсилення, генерації й перетворення електричних сигналів, тобто такі самі функції, які виконують біполярні транзистори. Поряд із цим МДН-структури можна використовувати як конденсатори й резистори, номінальне значення яких змінюється в деяких межах при зміщенні прикладеного потенціалу до керувального електрода. Крім того, МДН-структури можуть виконувати функції елементів пам'яті.

Особливо широко МДН-транзистори застосовуються для створення цифрових мікросхем завдяки простоті їхньої конструкції, високим характеристикам перемикання, багатофункціональності, самоізолюваності, а також малим розмірам і низькій споживчій потужності.

Цифрові МДН-мікросхеми складаються, як правило, тільки із МДН-транзисторів, оскільки функції пасивних елементів можуть ефективно виконувати самі МДН-транзистори. МДН-мікросхеми є схемами із безпосередніми зв'язками, тому в таких схемах немає конденсаторів зв'язку.

За принципом дії цифрові МДН-мікросхеми можна поділити на статичні й динамічні. Логічні мікросхеми статичного типу виготовляють як на МДН-транзисторах з каналами одного типу провідності, так і на

МДН-транзисторах із взаємодоповнюючими типами транзисторів з каналами р- і n-типу. Останні мають назву комплементарних (КМДН).

Базовим елементом логічних МДН-мікросхем є *інвертор*.

На рис. 3.1 зображено схеми інвертора на МДН-транзисторах з каналами р-типу.

Транзистор VT1, витік якого з'єднаний із заземленою шиною живлення, є активним (ключовим), а транзистор VT2 – навантажувальним, тобто виконує функцію резистора.

Використання як навантаження нормально відкритих МДН-транзисторів дає можливість відмовитися від високоомних дифузійних резисторів, що займають значну площу на підкладці.

Для забезпечення чіткої роботи інвертора необхідно, щоб опір навантаження хоча б у 10–20 разів перевищував опір відкритого ключового транзистора: $R_H \gg R_K$. Типовим є значення $R_K = 3$ кОм, тоді як $R_H \geq 30$ кОм. Якщо як навантаження використовувати дифузійний резистор ($R_S = 200$ Ом/□, $b = 10$ мкм), то площа, яку він займає, становитиме близько 1500 мкм². Для порівняння відмітимо, що площа, яку займає МДН-транзистор, зазвичай не перевищує 700 мкм².

Затвор навантажувального транзистора підключається до джерела напруги зміщення E_{3M} (див. рис. 3.1, а), що має більш високий за абсолютним значенням рівень напруги, ніж напруга джерела живлення E_J , або безпосередньо до джерела живлення (див. рис. 3.1, б).

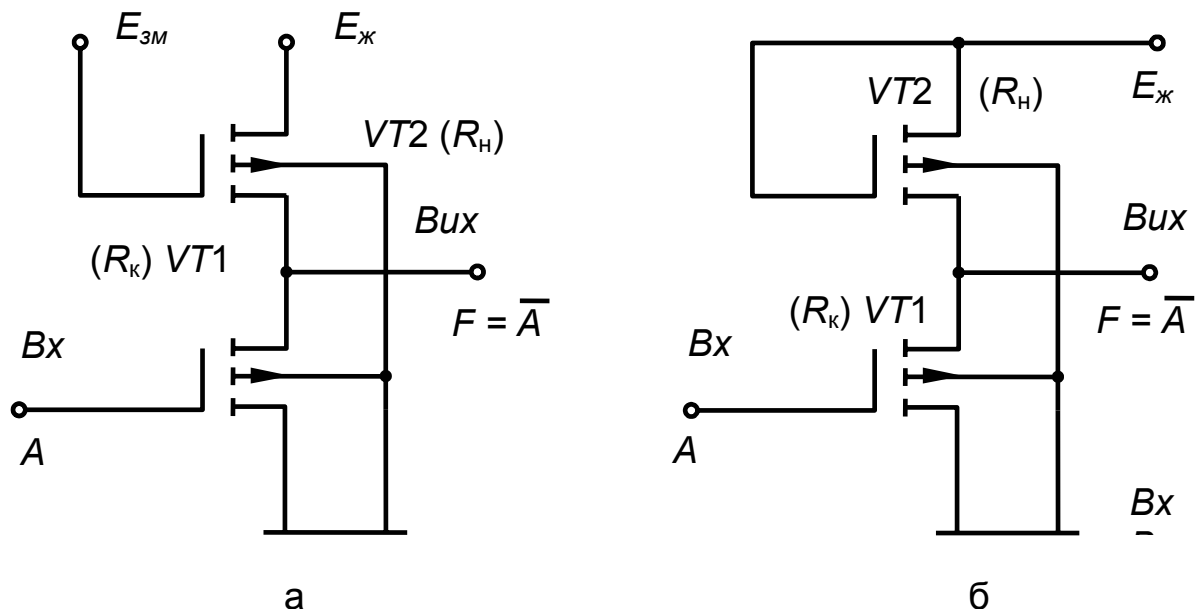


Рис. 3.1. Схеми інвертора на МДН-транзисторах:
а – з квазілінійним навантаженням;
б – з нелінійним навантаженням

В інверторі з джерелом зміщення навантажувальний транзистор VT2 є квазілінійним навантаженням. Напруга джерела зміщення така, що він працює тільки в крутій області ВАХ (рис. 3.2, а). В інверторі з одним джерелом живлення навантажувальний транзистор використовується як нелінійне квадратичне навантаження. У цьому випадку транзистор VT2 працює в пологій області ВАХ (рис. 3.2, б), для якої правильною є нерівність

$$|U_C| \geq |U_3 - U_0|.$$

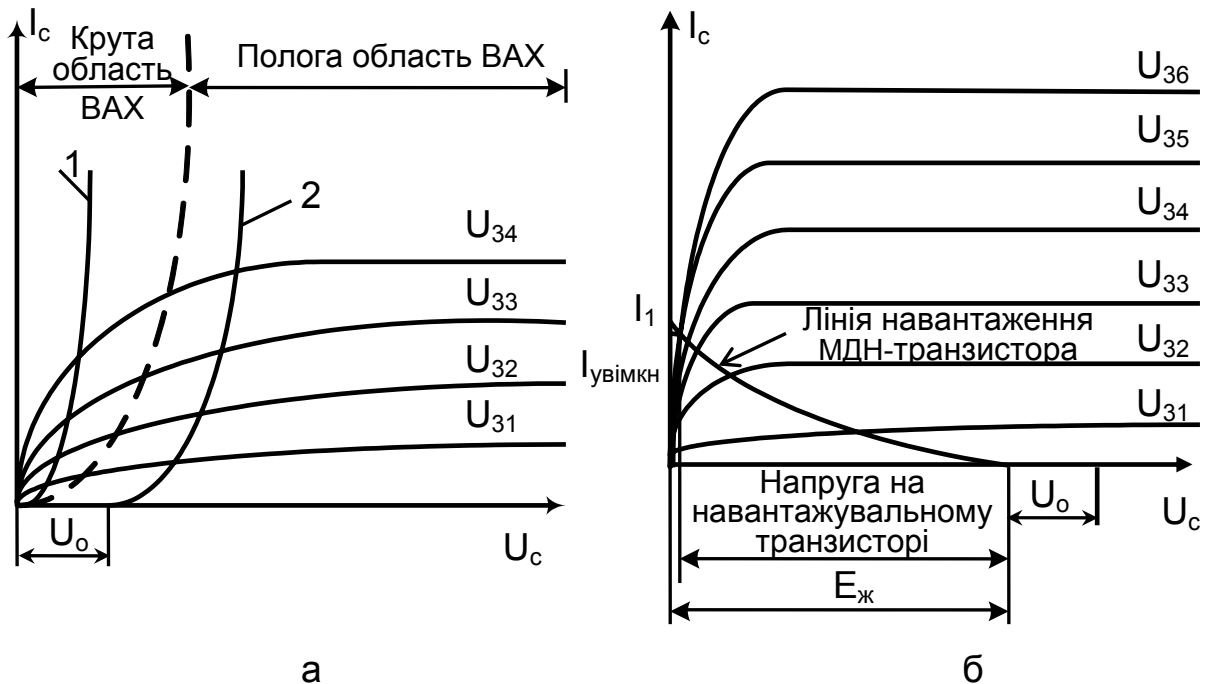


Рис. 3.2. Вольт-амперні характеристики навантажувального МДН-транзистора:

- 1 – при $|E_{cm} - U_0| > |E_n|$;
- 2 – при $|E_{cm}| > |E_n|$

Вираз для розрахунку струму, що протікає через навантажувальний транзистор, має вигляд

$$I_H = k_H [(E_{Ж} - U_{ВИХ}) - U_0]^2. \quad (3.1)$$

Характерна особливість інвертора з квазілінійним навантаженням полягає, по-перше, у тому, що максимальна вихідна напруга дорівнює половині величини напруги живлення, і, по-друге, у тому, що ВАХ навантажувального транзистора зі збільшенням різниці $|E_{CB} - E_{Ж}|$ стає дедалі більше лінійною.

Як уже було зазначено, для створення великих (ВІС) і надвеликих (НВІС) інтегральних схем використовують МДН-транзистори з n-каналами. Причому найчастіше використовують інвертори зі стру-

мостабілізуючим навантаженням (Д-навантаженням) (рис. 3.3). У такому інверторі як навантаження використовують МДН-транзистори із вбудованим каналом n-типу.

Необхідно зазначити, що затвор навантажувального МДН-транзистора з'єднаний з виходом схеми, а не з джерелом живлення.

МДН-інвертори з Д-навантаженням дали можливість зменшити площу кристала, збільшити швидкодію й підвищити стійкість до шумів порівняно з МДН-інверторами з навантажувальними індукованими МДН-транзисторами. Технологія іонного проникнення зробила економічно виправданим виготовлення МДН-транзисторів з індукованими й вбудованими каналами на одному кристалі.

МДН-транзистор належить до швидкодіючих пристроїв. Але в інверторі фактична частота перемикання виявляється на 2–3 порядки нижче власної. Низька швидкість перемикання зумовлена впливом паразитної ємності, яку необхідно перезаряджувати під час перехідного процесу.

На рис. 3.4 показано типові форми сигналу, що спостерігаються при перемиканні інвертора, що працює на ємнісне навантаження. Через C_H на цьому рисунку позначено еквівалентну навантажувальну ємність. C_D – паразитна ємність дифузійних областей (зазвичай однієї спільної області) навантажувального VT1 та активного VT2 транзисторів відносно підкладки (або землі). Іншими словами, це ємності $C_{ПВ}$ і $C_{ПС}$ для транзисторів VT1 і VT2 відповідно.

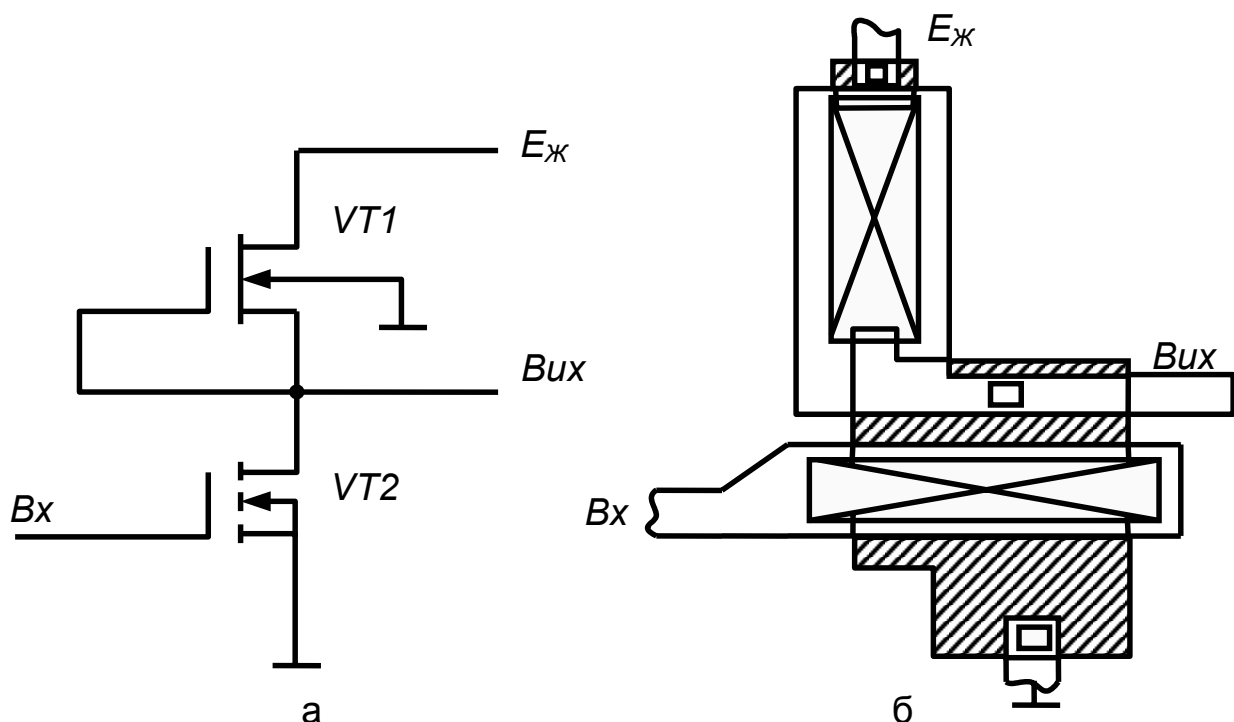


Рис. 3.3. Електрична схема (а) і топологія (б) інвертора із Д-навантаженням

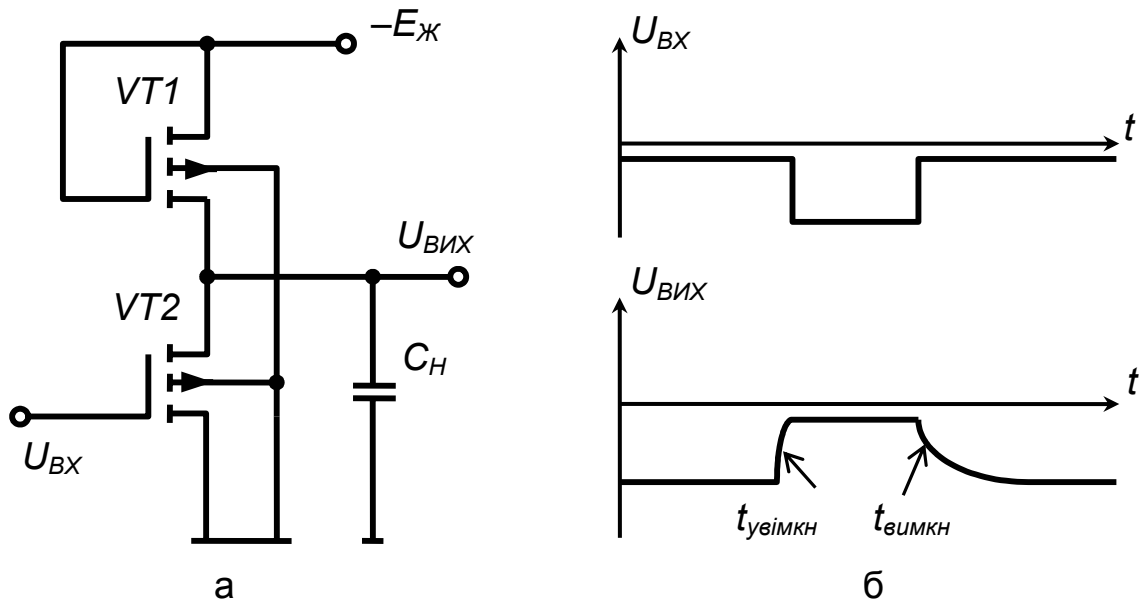


Рис. 3.4. Схема інвертора (а) і типові форми сигналу (б) при його перемиканні

Значення ємності $C_{\text{д}}$ зазвичай лежить у межах від 0,05 (для малопотужних МДН-схем) до 0,5 пФ (для МДН-схем великої потужності). Необхідно зазначити, що чим менші ці дифузійні області, тим менша ємність $C_{\text{д}}$ на транзисторах з каналами одного типу провідності, на виходах яких реалізуються складні функції перемикання.

До кожного виходу має бути підключений транзистор, що виконує функції ключового елемента. При цьому до виходів логічного каскаду підключається навантаження, яке є спільним для всіх ключових транзисторів, що створюють логічний каскад.

Ключові транзистори можна з'єднувати послідовно й паралельно.

При послідовному з'єднанні в коло між навантаженням і землею підключають декілька МДН-транзисторів. У цьому випадку витік нижнього МДН-транзистора підключають до землі, його стік – до витіку транзистора, розміщеного вище, і т. д. Протікання струму через навантаження до землі відбуватиметься тільки тоді, коли будуть відкриті всі ключові транзистори.

Зазвичай кількість послідовно з'єднаних транзисторів не більше трьох. Це пояснюється тим, що зі збільшенням кількості послідовно з'єднаних транзисторів підвищується рівень логічного «0» на виході, оскільки сумарний опір відкритих ключових транзисторів збільшується. Для зниження опору розміри кожного із послідовно з'єднаних транзисторів необхідно збільшити, а це призводить до ускладнення топології, зниження ступеня інтеграції і швидкодії.

Обмеження кількості паралельно з'єднаних ключових транзисторів зумовлено зниженням рівня логічної «1» на виході схеми за ра-

хунок падіння напруги на навантаженні від сумарного струму витoku всіх ключових МДН-транзисторів. Оскільки струм витoku малий (10^{-10} А), кількість паралельно з'єднаних транзисторів може становити 10 і більше.

МДН-мікросхеми мають дуже високу навантажувальну властивість ($n > 10-20$). Навантажувальна властивість обмежується тільки зменшенням швидкодії схем зі збільшенням кількості навантажень, оскільки при цьому збільшується паразитна ємність.

На рис. 3.5 зображено багатовходові логічні МДН-мікросхеми, виконані на транзисторах з каналами n-типу.

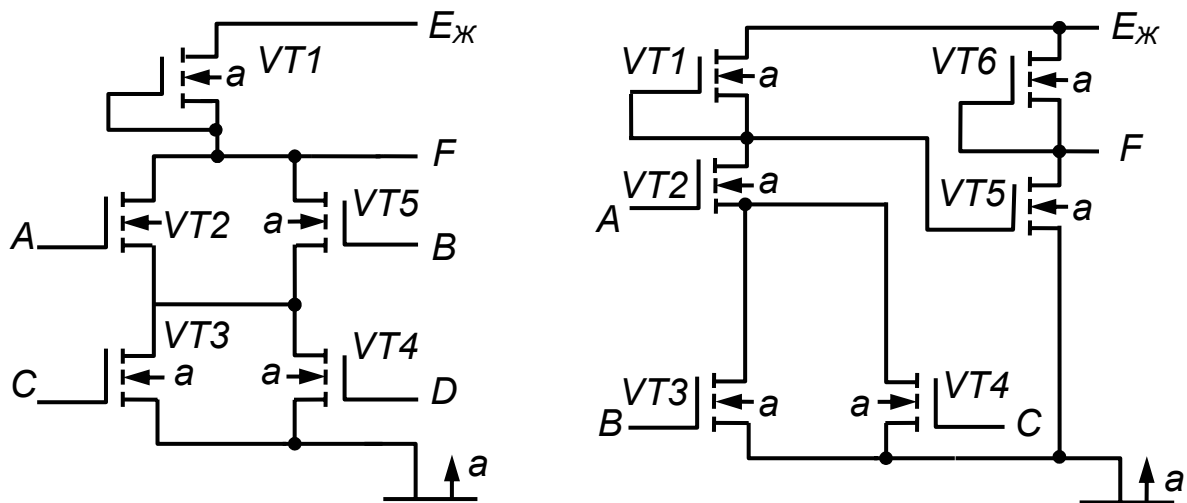


Рис. 3.5. Багатовходові логічні МДН-мікросхеми

Комплементарні МДН-структури. Одне із основних завдань мікроелектроніки на всіх етапах розвитку полягає у зниженні енергетичного рівня мікроелектронних пристроїв і переході їх в область мікро- й нанопотужних режимів. Доцільність вирішення цього завдання зумовлена такими основними причинами:

а) необхідністю розроблення надійних ВІС, які працюють у широкому діапазоні температур без перегріву всієї схеми;

б) підвищеним запасом електричної міцності активних елементів або їхньої стійкості, що сприяє підвищенню їх надійності;

в) необхідністю розроблення електричних комплексів для космічної апаратури, яка повинна працювати протягом кількох років в умовах обмежених енергоресурсів.

Відомо, що зниження споживаної потужності логічної схеми за рахунок простого змінення електричного режиму знижує її швидкодію та погіршує інші параметри. Тому для вирішення цього завдання необхідно використовувати спеціально розроблені схеми, що мають хоро-

ші характеристики, незважаючи на зниження їхнього енергетичного рівня. До таких схем відносять *КМДН-мікросхеми*, які порівняно з мікросхемами на МДН-транзисторах з каналами одного типу провідності мають такі переваги:

- низька споживана потужність у статичному режимі;
- висока швидкодія;
- висока стійкість до шумів за рахунок великого перепаду рівнів логічної «1» і логічного «0».

Принцип побудови і функціонування КМДН-мікросхем розглянемо на прикладі інвертора, схему якого зображено на рис. 3.6.

Інвертор складається з двох послідовно з'єднаних МДН-транзисторів з каналами n- і p-типу.

Витоки підключаються до відповідних полюсів джерела напруги.

Транзистор *VT1* є ключовим, його витік з'єднаний із заземленою шиною живлення, а стік – зі стоком навантажувального транзистора *VT2*.

Підкладка p-канального МДН-транзистора приєднана до $E_{ж}$, а підкладка n-канального транзистора заземлена.

Затвори обох транзисторів з'єднані і є входом інвертора.

Особливості побудови й функціонування комплементарного каскаду полягають у такому:

1. Вхідна напруга регулює не тільки ключовий, але й навантажувальний транзистор.

2. Регулювання є протифазовим (інверсним), оскільки напруги на затворах ключового й навантажувального транзисторів визначаються рівняннями $U_{зк} = U_{вх}$, $U_{зн} = E_{ж} - U_{вх}$.

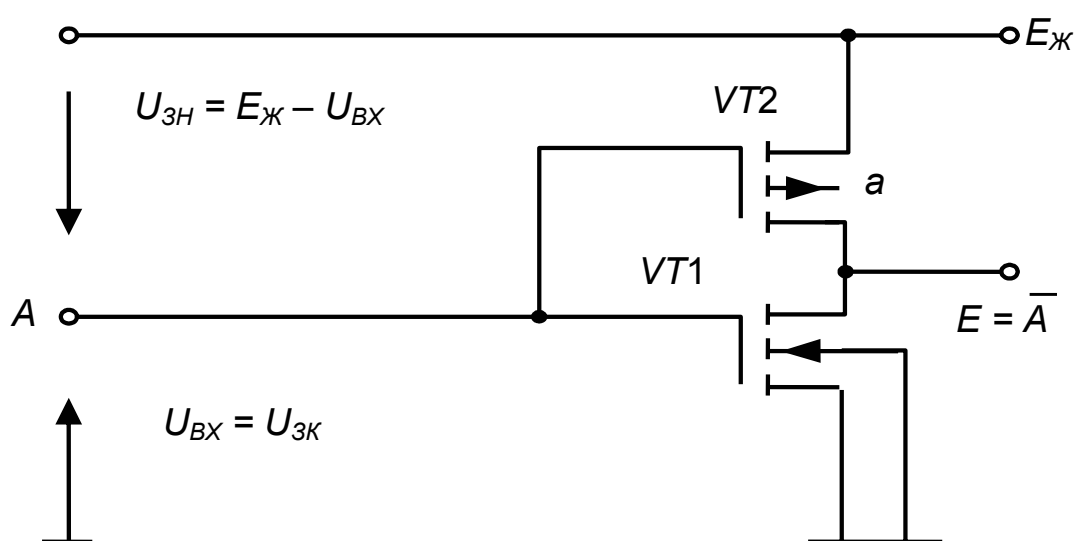


Рис. 3.6. Інвертор на комплементарних МДН-транзисторах

Коли на вхід подається напруга логічної «1», тобто $U_{BX} = U(1) = E_{Ж}$, ключовий транзистор відкривається ($R \approx 0$), а навантажувальний закривається ($R \approx \infty$). На виході формується рівень логічного «0», близький до потенціалу землі, тобто $U_{ВИХ} = U(0) = 0$.

Коли на вхід подається напруга $U_{BX} = U(0) = 0$, що відповідає напрузі логічного «0», то ключовий транзистор закривається ($R_K \approx \infty$), а навантажувальний відкривається ($R_H \approx 0$). Це приводить до формування на виході рівня логічної «1», близького до $+E_{Ж}$.

Рівні логічного «0» і логічної «1» у МДН-мікросхемах мають екстремальне значення $U(0) = 0$, $U(1) = E_{Ж}$, а логічний розмах близький до напруги живлення. Тому немає необхідності в топологічному розрахунку КМДН-мікросхем з урахуванням статичних вимог.

Мікросхеми на КМДН-транзисторах мають високу швидкодію, оскільки перезарядження ємності навантаження відбувається і в увімкненому, і у вимкненому станах через відкритий МДН-транзистор. Завдяки цьому швидкодія КМДН-мікросхем вище швидкодії звичайних МДН-мікросхем на транзисторах з каналами одного типу провідності, у яких перезарядження ємності здійснюється значно меншими струмами.

Мікросхеми КМДН практично не споживають енергію ні в одному із логічних стаціонарних станів. Це зумовлено самою конфігурацією інвертора. У статичному стані транзистори n- і p-типу не можуть бути відкриті одночасно, тому повний статичний струм дорівнює всього лише струму витоку закритого транзистора ($I_V = 1$ нА). У таких схемах енергія використовується тільки для перемикання із одного логічного стану в інший, їхня динамічна потужність

$$P_D = C_H f_p E_{П}^2, \quad (3.2)$$

де f_p – робоча частота.

Таким чином, однією із умов створення мікропотужних швидкодіючих МДН-мікросхем полягає у зменшенні паразитних ємностей.

МДН-транзистори. Структура, заряди, потенціали

Можливе сумісне виготовлення МДН і біполярних транзисторів на одному кристалі в єдиному технологічному циклі, але є спеціальним випадком. Як правило, біполярні й МДН-транзисторні ІС розробляються й виготовляються окремо. Ці два типи ІС призначені або для вирішення різних функціональних завдань, або для вирішення одного й того ж завдання, але з використанням переваг відповідної технології.

Головну роль у сучасній мікроелектроніці відіграють МДН-транзистори, у яких діелектриком є SiO_2 . Їх називають МОН-транзисторами.

Найпростіший МОН-транзистор. Оскільки інтегральні МДН-транзистори не потребують ізоляції, їхня структура зовні не відрізняється від структури дискретних варіантів. На рис. 3.7 зображено структуру МОН-транзистора з індукованим каналом.

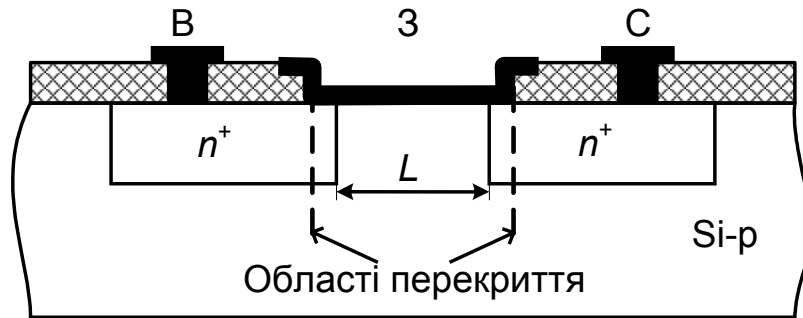


Рис. 3.7. Інтегральний МОН-транзистор (з перекриттям затвору)

МОН-транзистори порівняно з біполярними є більш простими у виробництві: необхідними є лише один процес дифузії й чотири процеси фотолітографії (під дифузію, під тонкий підзатворний окис, під омичні контакти та під металізацію). Завдяки технологічній простоті забезпечується малий процент браку й низька вартість.

Відсутність ізолювальних карманів сприяє кращому використанню площі кристала, а отже, збільшенню ступеня інтеграції елементів. Але, з іншого боку, відсутність ізоляції робить підкладку спільним електродом для всіх транзисторів. Ця обставина може призвести до того, що параметри (наприклад, граничні напруги) зовні ідентичних МДН-транзисторів будуть різними. Дійсно, якщо на підкладку подано постійний потенціал, а витоки транзисторів мають різні потенціали (що є притаманним багатьом схемам), то будуть різними напруги $U_{ПВ}$ між підкладкою й витоками.

Головним фактором, що обмежує швидкодію МДН-транзисторів, зазвичай є паразитні ємності. Паразитні ємності інтегрального МОН-транзистора менші, ніж дискретного, а його швидкодія відповідно в декілька разів більша.

Бар'єрні ємності переходів витоку й стоку ($C_{ПВ}$ і $C_{ПС}$) при розмірах n^+ -шарів 20×40 мкм становлять $0,04 \dots 0,10$ пФ.

Питома ємність металізації визначається формулою

$$C_{0,м} = \frac{\epsilon_0 \epsilon_D}{d_D}, \quad (3.3)$$

де d – товщина захисного окису, ϵ – його діелектрична проникність.

При $\varepsilon = 4,5$ і $d = 0,7$ мкм $C_{0m} = 60$ пФ/мм². При ширині смуги металізації 15 мкм погонна ємність становить 0,9 пФ/мм. Смуги завдовжки всього 50...100 мкм мають ємність 0,05...0,09 пФ, яку можна порівняти з ємностями переходів $C_{ПВ}$ і $C_{ПС}$. Ще більший внесок роблять контактні площадки: при площі 100×100 мкм² їхня ємність становить близько 0,6 пФ.

Ємності перекриття $C_{ЗВ}$ і $C_{ЗС}$ не піддаються більш точному розрахунку, тому що площа перекриття характерна більшим відхиленням значень через нерівність країв металізації затвора й меж дифузійних шарів. Порядок величин можна оцінити, уважаючи товщину тонкого шару окису такою: $d = 0,01$ мкм. Тоді питома ємність тонкого шару окису $C_0 = 3000$ пФ/мм². При ширині витоку й стоку 40 мкм і перекритті 2 мкм маємо середнє значення $C_{ЗВ} = C_{ЗС} = 3$ пФ.

Ємність $C_{ЗС}$, що являє собою ємність зворотного зв'язку між виходом транзистора (стоком) і входом (затвором), проявляється в багатьох схемах не сама, а у вигляді набагато більшої еквівалентної ємності $K C_{ЗС}$. Множник K – це коефіцієнт підсилення схеми, який може становити від декількох одиниць до декількох десятків і більше. Тому еквівалентна ємність зворотного зв'язку $K C_{ЗС}$ може набирати значень 10...30 пФ і значно перевищувати всі інші ємності.

У комплементарних МОН-транзисторних ІС (КМОН) на тому самому кристалі виконують транзистори обох типів: з n- і р-каналом (рис. 3.8). При цьому один із типів транзисторів потрібно розміщувати в спеціальному кармані. Наприклад, якщо як підкладка використовується р-кремній, то n-канальний транзистор можна виконати безпосередньо в підкладці, а для р-канального транзистора необхідно мати карман з провідністю n-типу. Отримання такого кармана в принципі просте, але пов'язане з додатковими технологічними операціями (фотолітографією, дифузією донорів тощо). Крім того, важко отримати низькоомні p^+ -шари у верхній (сильно легованій) частині n-кармана.

Іншим способом виготовлення КМОН-транзисторів на одній підкладці є *КНС-технологія* (кремній на сапфірі). У цьому випадку на сапфіровій підкладці формуються «острівки» кремнію з власною провідністю, після чого в одних «острівках» здійснюється дифузія донорної домішки, а в інших – дифузія акцепторної домішки. Таким чином отримують р-канальні транзистори. Хоча кількість технологічних операцій у цьому випадку більша, ніж під час виготовлення транзисторів одного типу, але зникають труднощі, пов'язані з отриманням низькоомних шарів витоку й стоку.

Поєднання МОН і біполярних транзисторів зображено на рис. 3.9.

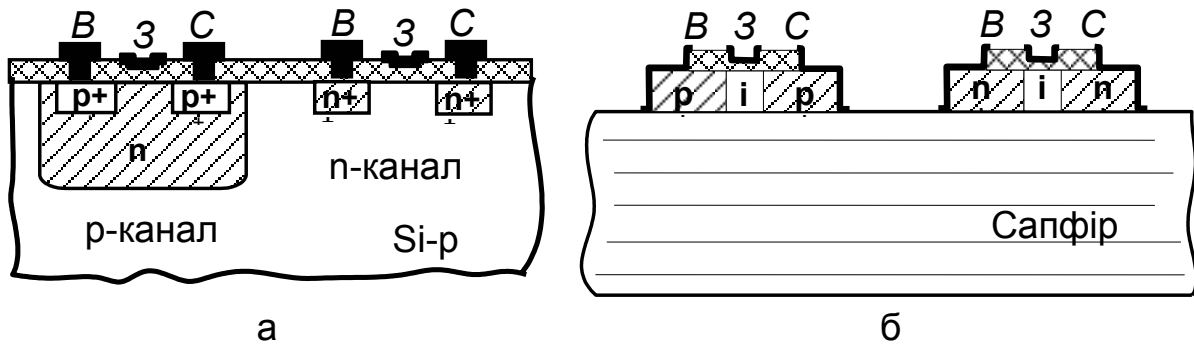


Рис. 3.8. Комплементарні МОН-транзистори:
 а – використання ізолювального n-кармана;
 б – використання повітряної ізоляції (технологія КНС)

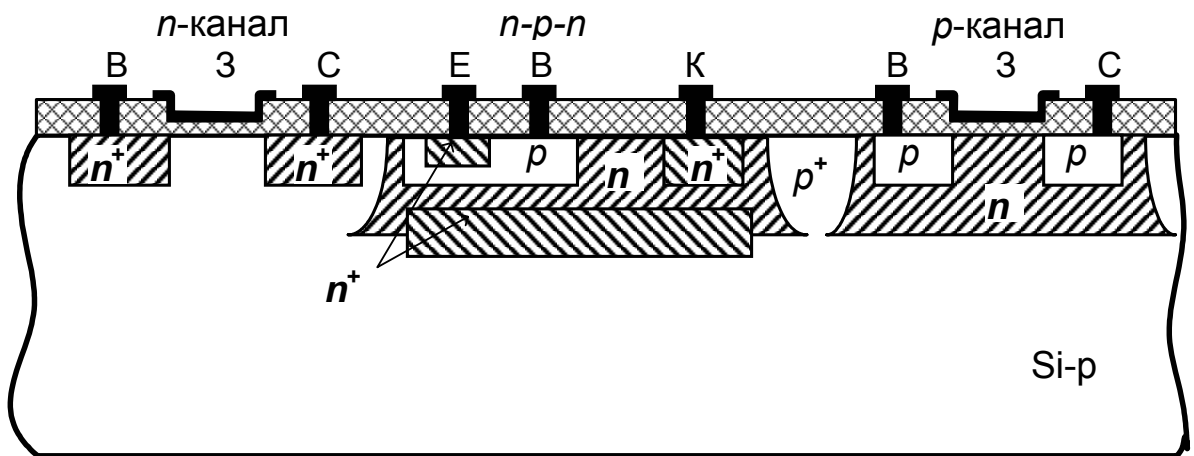


Рис. 3.9. Поєднання біполярних і МОН-транзисторів на одному кристалі

У процесі розвитку мікроелектроніки вдосконалення МОН-транзисторів здійснювалося двома шляхами – підвищенням швидкодії й зниженням порогової напруги. Для зменшення порогової напруги прагнули знизити робочу напругу МОН-транзисторів і розсіювальну потужність. Оскільки повна потужність кристала обмежена, зменшення потужності, що розсіюється в одному транзисторі, сприяє підвищенню ступеня інтеграції, а зменшення напруги живлення полегшує загальну роботу МОН-транзисторних і низьковольтних біполярних ІС без спеціальних узгоджувальних елементів.

Підвищення швидкодії МОН-транзисторів пов'язане зі зменшенням ємностей перекриття. Суттєвого зменшення (приблизно на порядок) ємності перекриття досягають завдяки використанню технології самосуміщених затворів. Загальна ідея такої технології полягає в тому, що шари витоку й стоку формуються не перед, а після формування затвора. При цьому затвор використовується як маска при отриманні шарів витоку й стоку, а отже, краї затвора і цих шарів

будуть суміщатися, і перекриття не буде. Один із варіантів МОН-транзистора з самосуміщеним затвором показано на рис. 3.10.

Послідовність технологічних операцій при цьому така. Спочатку здійснюється дифузія n^+ -шарів, причому відстань між ними така, що наперед більша необхідної довжини каналу. Потім формується тонкий шар окису на ділянці між n^+ -шарами й частково над ними. Далі на тонкий шар окису напилюється алюмінієвий електрод затвора, причому його ширина менша за відстань між n^+ -шарами. Нарешті, проводиться іонне легування (імплантація атомів фосфору) через маску, що формує алюмінієвий затвор і товстий захисний шар окису. Атоми фосфору проникають у кремній через тонкий шар окису і «продовжують» n^+ -шари до країв алюмінієвої смуги так, що краї затвора практично суміщаються з краями витоку й стоку.

Імплантовані шари леговані дещо слабніше, ніж дифузійні, тому їх позначено через n замість n^+ . Глибина імплантації дещо менша, ніж глибина дифузії, і становить 0,1...0,2 мкм.

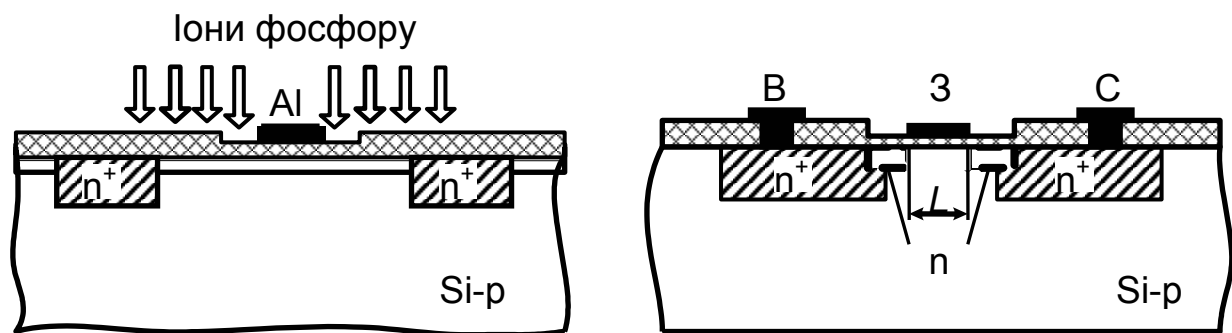


Рис. 3.10. МОН-транзистор з самосуміщеним затвором, отриманий методом іонної імплантації

Інший варіант МОН-транзистора з самосуміщеним затвором зображено на рис. 3.11. У цьому варіанті спочатку витравлюють вікно в окисі з розмірами, що відповідають усій структурі транзистора. Потім в середній частині вікна проводять тонке окиснення кремнію у вигляді смуги, ширина якої дорівнює довжині майбутнього каналу L . Потім на цю смугу напилюють шар полікристалічного кремнію, який має таку саму ширину, але за довжиною виходить за межі вихідного вікна в шарі окису (див. рис. 3.11, а). Питомий опір напиленого кремнію є достатньо малим, отже, шар полікристалічного кремнію виконує функції металічного затвора у звичайних МОН-транзисторах. Далі проводять невелику дифузію донорної домішки через маску, сформовану смугою полікристалічного кремнієвого затвора й захисним шаром окису, що оточує вікно, унаслідок чого утворюються n^+ -шари витоку й стоку, краї яких майже суміщаються з краями кремнієвого затвора.

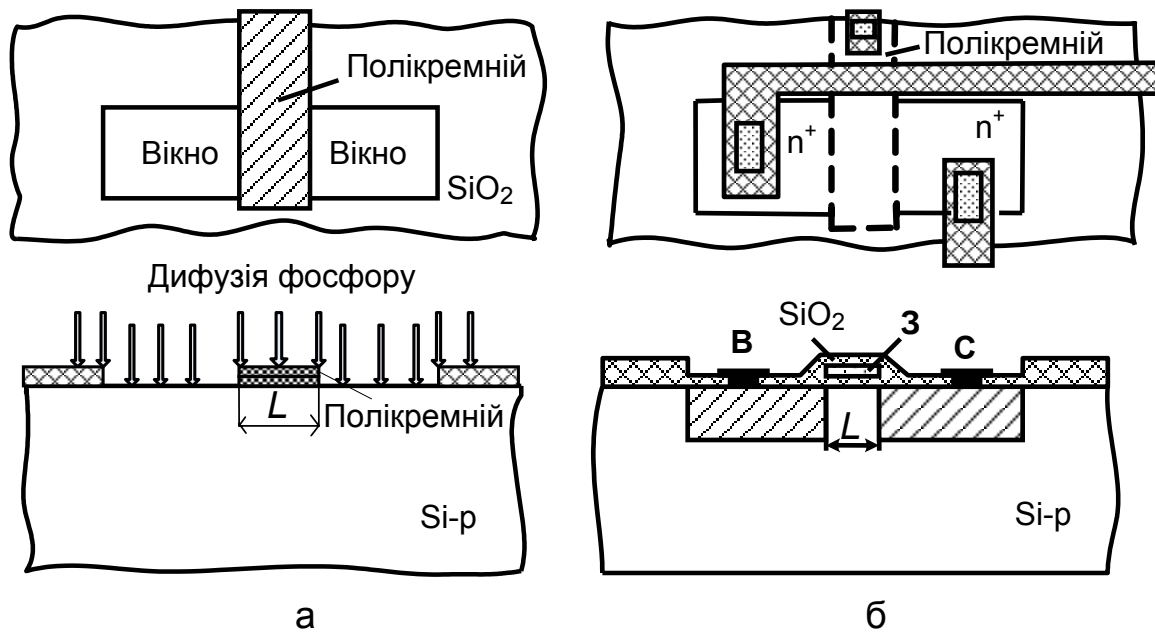


Рис. 3.11. МОН-транзистор із самосуміщеним полікремнієвим затвором:
 а – дифузія донорів через маску, що містить шар полікристалічного Si;
 б – готова структура (після нанесення шарів захисного окису й металізації)

На наступному етапі всю поверхню кристала окислюють і в цьому окисі, як звичайно, роблять вікна для омічних контактів, в тому числі для контакту з кремнієвим затвором. Нарешті, формують металічну розводку. Із рис. 3.11, б видно, що полікристалічний кремнієвий затвор виявляється «зануреним» у захисний шар окису: омічний контакт у ньому розташований за межами робочої області транзистора.

Зменшення паразитних ємностей МОН-транзисторів, насамперед ємності перекриття C_{3C} , ставить на перший план завдання зменшення часової сталої τ_S , яка при малих ємностях є головним фактором, що обмежує швидкодію. Перехід від транзисторів з р-каналом до транзисторів з n-каналом дав можливість зменшити значення τ_S майже у три рази завдяки підвищенню рухливості носіїв. Подальше зменшення τ_S досягалося за рахунок зменшення довжини каналу L . При $L < 1$ мкм τ_S може бути менше 0,005 нс, а гранична частота f_S більше 30 ГГц.

Транзистори з такою структурою, яку показано на рис. 3.11, називають МОН-транзисторами з кремнієвим затвором. Вони характеризуються малою ємністю перекриття, але й малою пороговою напругою – 1...2 В замість звичайних 2,5...3,5 В. Це пояснюється тим, що матеріал затвора й підкладки один і той самий – кремній. Отже, контактна різниця потенціалів між ними ϕ_{MH} дорівнює нулю, що приводить до зменшення порогової напруги $U_{пор}$. Майже такий самий результат дає використання молібденового затвора.

Для зменшення порогової напруги крім контактної різниці потенціалів можна змінювати й інші параметри, що входять до виразу для $U_{пор}$ (рис. 3.12):

$$U_{пор} = \phi_{MH} + \frac{Q_D}{C_0} + \phi_B + \frac{Q_B}{C_0} + \dots, \quad (3.4)$$

де ϕ_{MH} – контактна різниця потенціалів на границі метал – напівпровідник (затвор – підкладка); $Q_D = eN_{ss}$ – заряд поверхневих станів;

C_0 – ємність підзатворної області транзистора; $\phi_B = -2 \frac{kT}{e} \ln\left(\frac{N_A}{n_i}\right)$ –

поверхневий потенціал; Q_B – просторовий заряд іонізованих домішок; $U_{пз} = \phi_{MH} + (Q_D/C_0)$ – напруга плоских зон; $U_B = \phi_B + (Q_B/C_0)$ – напруга прогинання зон до стану інверсії.

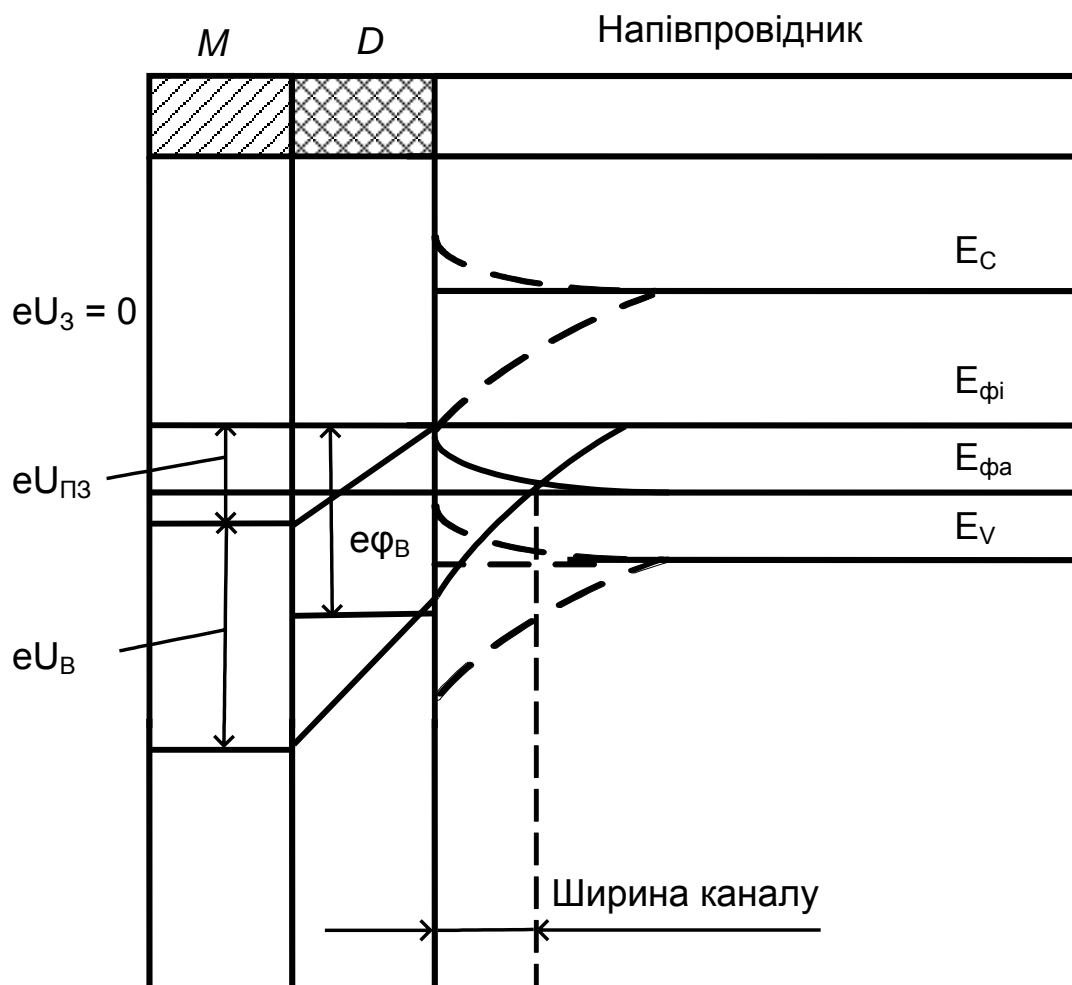


Рис. 3.12. Енергетична діаграма МДН-структури

Якщо замінити шар окису кремнію SiO_2 тонким напиленим шаром нітриду кремнію Si_3N_4 , діелектрична проникність якого ($\epsilon \sim 7$) майже в 1,5 раза більша ніж двоокису кремнію ($\epsilon \sim 4,5$), то це призведе до збільшення питомої ємності C_0 , а отже, до зменшення відповідних складових порогової напруги. Si_3N_4 як підзатворний діелектрик забезпечує додаткові переваги: менші шуми, більшу часову стабільність ВАХ і підвищену радіаційну стійкість МДН-транзистора.

Замість пластин кремнію з традиційною кристалографічною орієнтацією (111) можна використовувати пластини з орієнтацією (100). При цьому збільшується густина поверхневих станів, а разом з нею і заряд захоплених ними електронів. Відповідно збільшується від'ємний доданок Q_D/C_0 , а алгебрична сума обох доданків, тобто напруга $U_{\text{пор}}$, зменшується.

Зворотний вплив має введення в тонкий шар окису акцепторних атомів: вони захоплюють із приповерхневого шару кремнію частину електронів, породжених донорними домішками, які завжди присутні в окисі, унаслідок чого заряд Q_D зменшується. Уведення акцепторів в окис можна реалізувати з допомогою іонної імплантації.

Перелічені методи дають можливість отримати порогову напругу необхідної величини. Але слід мати на увазі, що занадто малі порогові напруги (0,5...1 В і менше) застосовуються дуже рідко із схемотехнічних міркувань (через низьку стійкість до дії шумів).

Елементи фізичної структури МДН-транзистора

Одним із основних етапів проектування МДН-мікросхем є вибір фізичної структури МДН-транзистора: питомого опору матеріалу підкладки, товщини діелектрика, матеріалу затвора тощо. Як початковий матеріал використовується кремній. Вибір величини питомого об'ємного опору кремнію визначається пороговою напругою, напругою пробою стік – підкладка, стабільністю напівпровідникового матеріалу. У випадку високого питомого опору кремнію $\rho > 1$ Ом/см порогова напруга здебільшого визначається зарядом поверхневих станів в окисі. При зменшенні питомого опору напівпровідника до значень, менших за 1 Ом/см, порогова напруга починає сильно залежати від питомого об'ємного опору матеріалу. Крім того, необхідно враховувати, що чим слабкіше легування підкладки, тим менш чутливою є порогова напруга транзистора до зміщення на підкладці, і тим менша ємність виникає між областями витоку – стоку й підкладкою.

Напруга пробою стік – підкладка (витік – підкладка) безпосередньо пов'язана з питомим опором матеріалу: чим більший питомий

опір, тим вища пробивна напруга стік (витік) – підкладка. Але верхнє значення питомого опору матеріалу обмежується такими факторами:

1. При збільшенні питомого опору напівпровідника різко погіршується стабільність параметрів матеріалу в процесі виготовлення МДН-мікросхеми. Наприклад, у процесі технологічного високотемпературного оброблення матеріалу з $\rho = 10^2 \dots 10^3$ Ом·см може змінюватися як його питомий опір, так і тип провідності.

2. Якщо підкладку леговано слабо, то області об'ємного заряду витоків і стоків того самого або сусідніх транзисторів можуть торкатися одна одної, спричиняючи прокол транзисторів. Тому для виготовлення МДН-мікросхем використовують кремній з $\rho = 1 \dots 10$ Ом·см.

Дуже велику роль відіграє орієнтація поверхні підкладки. Вибір підкладки з орієнтацією (100) переважає порівняно з орієнтацією (111), оскільки густина поверхневих станів на таких підкладках майже на порядок менша.

Формування стоку й витоків здійснюється методами дифузії й іонного легування. Глибина областей стоку й витоків зумовлюється необхідністю створення чітко окреслених р-п-переходів і меншою глибиною порівняно з довжиною каналу (для того, щоб горизонтальне розміщення р-п-переходів не впливало на геометричні розміри областей каналу). Довжина каналу в МОН-транзисторах ВІС становить 0,2...1 мкм, а НВІС – 60...45 нм.

Області стоку й витоків відзначаються достатньо високим рівнем легування для отримання якісного р-п-переходу і низьким опором при використанні шарів як струмоведучих доріжок. Дифузійні шари мають поверхневий опір порядку 20...50 Ом/□, іонно-леговані – 30...35 Ом/□.

У разі зменшення розмірів МДН-транзисторів важливого значення набирає послідовний опір витоків й стоків. При зменшенні довжини каналу його провідність зростає, опір невеликих областей витоків й стоків залишається незмінним або навіть зростає, що зумовлено використанням дедалі більш дрібних переходів. Як наслідок, опір областей витоків й стоків обмежує робочий струм транзистора і стає сильно діючим паразитним опором. Для зменшення опору областей стоку й витоків використовують різні технологічні методи (зокрема, осадження плівки платини на незахищені ділянки кремнію в областях стоку й витоків з подальшим обпаленням). Це приводить до зменшення поверхневого опору стоку й витоків до 3 Ом/□.

Товщина шару окису під затвором впливає в основному на такі параметри: пробивну напругу затвор – підкладка, крутість характеристики МДН-транзистора й порогову напругу. При збільшенні товщини шару окису пробивна й порогова напруга збільшуються, крутість зме-

ншується. Товщина підзатворного діелектрика може становити 0,02...0,0012 мкм, а товщина захисного шару окису – 0,6...1 мкм.

Для зменшення розмірів і підвищення швидкодії МДН-мікросхем розроблено технологію самосуміщеного полікремнієвого затвора, коли області витоку й стоку, що формуються, самосуміщаються із затворами. Принцип самосуміщення сприяє мінімізації перекриття затвора з областями стоку й витоку, тим самим забезпечується зниження ємностей зв'язку.

На рис. 3.13 зображено структуру й топологію n-канального МОН-транзистора з полікремнієвим затвором. Плівки легованого полікристалічного кремнію завтовшки до 0,5 мкм використовуються також як провідникові шини.

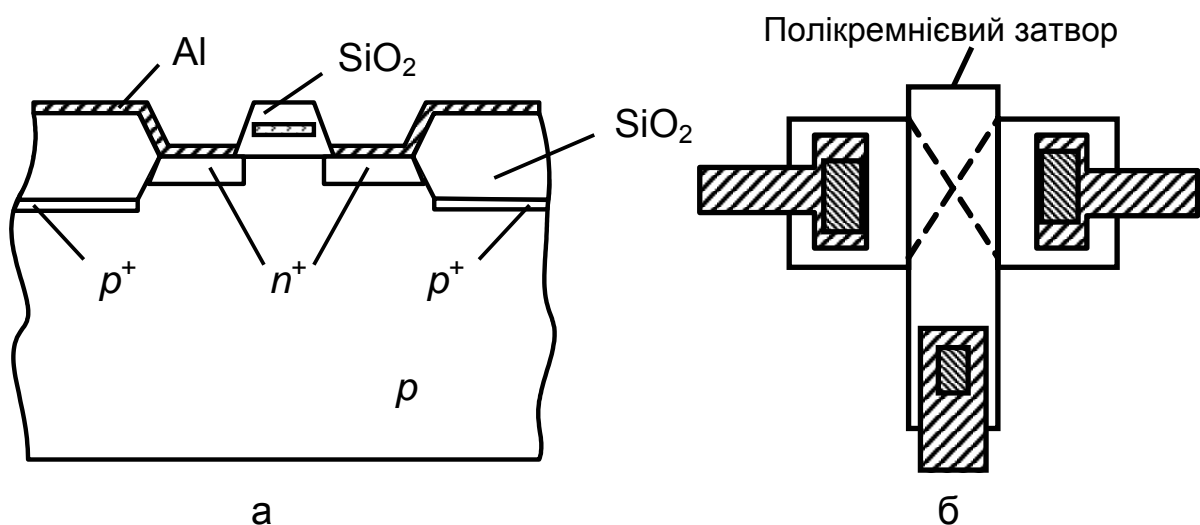


Рис. 3.13. Структура (а) і топологія (б) n-канального МОН-транзистора з полікремнієвим затвором

У міру того, як довжина каналу МДН-транзисторів стає меншою, а плівка підзатворного окису тонкішою, для досягнення необхідних значень порогової напруги доводиться збільшувати рівень легування областей, розташованих під затворами.

Необхідний рівень легування можна отримати за рахунок використання більш сильно легованих підкладок, але при цьому підвищується чутливість порогової напруги до зміщення на підкладці й збільшуються значення ємностей між областями витоку – стоку й підкладкою. Тому для досягнення необхідного рівня легування області каналу широко застосовується неглибока іонна імплантація, завдяки чому збільшення загального рівня легування області підкладки не потребується і, до того ж, при необхідному рівні поверхневої концентрації чутливість порогової напруги до напруги зміщення на підкладці є мінімальною.

Порядок виконання роботи

1. Виконати аналіз принципової схеми запропонованої мікросхеми.
2. Користуючись мікроскопом, скласти топологію шару провідників і контактних площадок.
3. Розмістити елементи мікросхеми на поверхні кристала.
4. Виконати поперечний переріз вибраної ділянки мікросхеми.
5. Проаналізувати структури елементів мікросхеми.
6. Оформити звіт про виконання лабораторної роботи, який має містити таке: ескізи принципової електричної схеми, топології й перерізу мікросхеми; аналіз загальної топології мікросхеми та структур її елементів; результати розрахунків; висновки.

Контрольні запитання

1. Механізми виникнення станів збагачення, збіднення, інверсії в структурі метал – діелектрик – напівпровідник.
2. C-V-характеристика МДН-структури.
3. Енергетична діаграма МДН-структури. Заряди й потенціали.
4. Порогова напруга польового транзистора.
5. Типи польових транзисторів з ізольованим затвором.
6. Структура польового транзистора з ізольованим затвором.
7. Польові транзистори з довгим і коротким каналами.
8. Які параметри польового транзистора впливають на його швидкодію?
9. Що таке КМДН-структура і яка її будова?
10. МДН- і КМДН-структури в цифрових мікросхемах.

БІБЛІОГРАФІЧНИЙ СПИСОК

Аваев Н.А. Основы микроэлектроники / Н.А. Аваев, Ю.Е. Наумов, В.Т. Фролкин. – М. : Радио и связь, 1991.

Лещенко М.Є. Основы мікроелектроніки / М.Є. Лещенко, В.Є. Овчаренко. – Х. : Нац. аерокосм. ун-т „Харк. авіац. ін-т”, 2005.

Николаев И.М. Интегральные микросхемы и основы их проектирования / И.М. Николаев, Н.А. Филинук. – М. : Радио и связь, 1992.

Прищеп М.М. Мікроелектроніка. Елементи мікросхем / М.М. Прищеп, В.П. Погребняк. – К. : Вища шк., 2005.

ЗМІСТ

Вступ.....	3
Лабораторна робота № 1. Гібридні інтегральні мікросхеми.....	4
Лабораторна робота № 2. Напівпровідникові мікросхеми на основі біполярних транзисторів	24
Лабораторна робота № 3. Напівпровідникові мікросхеми на основі структур метал – діелектрик – напівпровідник (МДН)	45
Бібліографічний список	62

Лещенко Микола Єфремович
Васильєва Ірина Карлівна
Замірець Олег Миколайович
Овчаренко Віталій Євгенович

ОСНОВИ МІКРОЕЛЕКТРОНІКИ

Частина 1

Редактор Т. О. Іващенко

Зв. план, 2010

Підписано до друку 08.10.2010

Формат 60×84¹/₁₆. Папір офс. № 2. Офс. друк.

Ум. друк. арк. 3,6. Обл.-вид. арк. 4,0. Наклад 150 прим.

Замовлення 338. Ціна вільна

Національний аерокосмічний університет ім. М. Є. Жуковського

"Харківський авіаційний інститут"

61070, Харків-70, вул. Чкалова, 17

<http://www.khai.edu>

Видавничий центр "ХАІ"

61070, Харків-70, вул. Чкалова, 17

izdat@khai.edu